

Autores: Eduardo Gemelli, Juan Castorina, Lucas Seeber, Nicola Palavecino

En el marco de la materia Electrónica V, se propuso diseñar un microprocesador con paralelización de operaciones (pipeline) e implementarlo en una FPGA de desarrollo. Nuestro grupo propuso modificar el diseño del microprocesador y reorganizar la estructura para que sea orientado a los videojuegos del estilo de "99-in-1".

Introducción

La cátedra de "Electrónica V" (22.15) propuso como parte de uno de sus trabajos prácticos de cursada, diseñar un microprocesador con paralelización [1] de operaciones (pipeline) e implementarlo en una FPGA de desarrollo que se muestra en la figura 1. Se decidió por diseñar un microprocesador orientado a videojuegos, el cual cuenta con una salida VGA que maneja gráficos en resolución 640x480 pixeles y 15 colores. Además permite la entrada de dos controles para permitirle el juego a dos jugadores, y dos salidas para obtener audio estéreo.

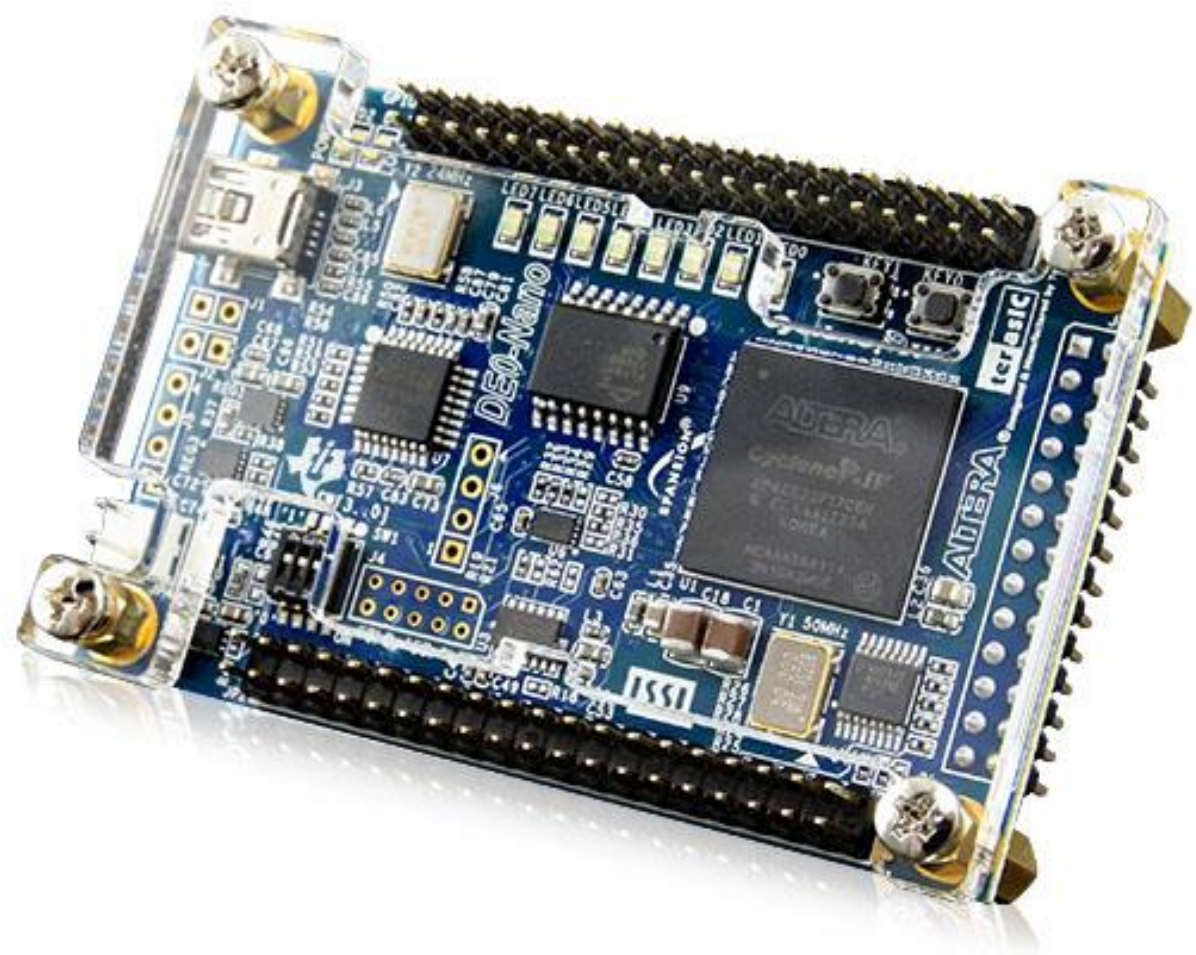


Figura 1: Terasic DE0-Nano con un chip Altera Cyclone IV

Estructura

La estructura interna del microprocesador se muestra en la figura 2. Como se puede ver, la presencia de memorias separadas para datos e instrucciones muestra la arquitectura Harvard implementada. A su vez la parte superior derecha denota el pipeline de 5 etapas utilizado.

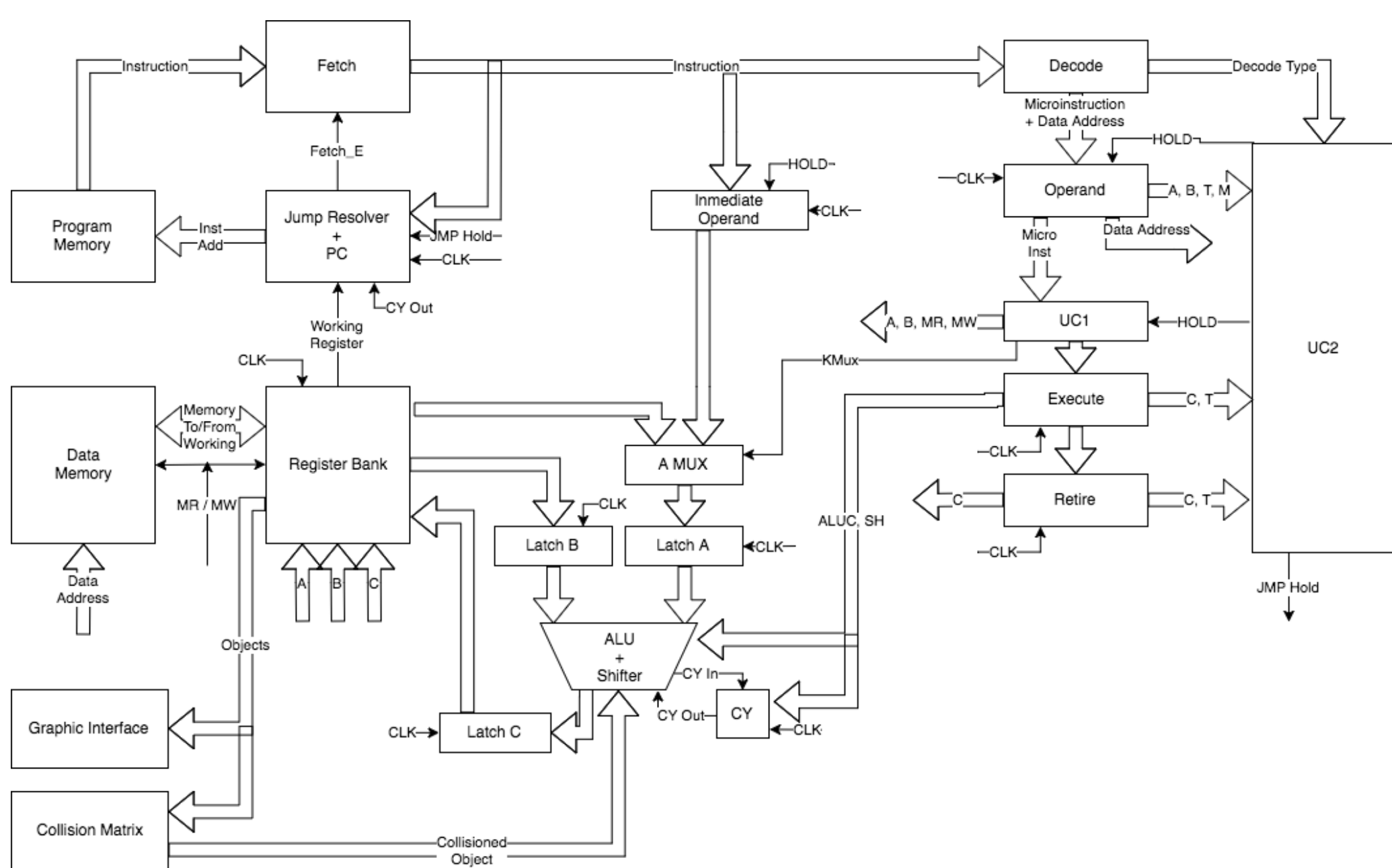


Figura 2: Estructura interna de EV17G

Banco de Registros

El banco de registros tiene dos partes: los registros regulares presentados en la tabla 1 y los registros de objetos cuyas propiedades se presentan en la tabla 2 y están directamente conectadas con la interfaz gráfica.

Número en decimal	Número en binario	Propósito
0	00000	Basura
1 al 26	00001 al 11010	Uso general
27 y 28	11011 y 11100	Puertos de salida
29 y 30	11101 y 11110	Puertos de entrada
31	11111	Working Register

Tabla 1: Registros Regulares

Cabe destacar que la importancia que tienen los registros de objetos, y su conexión con la parte gráfica, es la transparencia que el programador del microprocesador tiene a la hora de escribir un programa.

ID	Propiedad	Registro	Bits de Posición	Cantidad de bits
0	Colisionable	0	0	1
1	PosX	1	15 - 8	8
2	PosY	1	7 - 0	8
3	VelX	2	15 - 8	8
4	VelY	2	7 - 0	8
5	Imagen	3	15 - 0	16
6	Color	4	13 - 10	4
7	Vida	0	4 - 1	4
8	Tamaño Im X	5	9 - 5	5
9	Tamaño Im Y	5	4 - 0	5

Tabla 2: Propiedades de objetos

Conclusiones

Como conclusión, el trabajo fue hecho satisfactoriamente aunque la interfaz de las propiedades podía haberse completado como era la idea original. No se pudo implementar la actualización automática de la posición de los objetos teniendo en cuenta su propia velocidad. Además no se consideró necesario usar internamente el tamaño de imagen del objeto debido a la naturaleza del tamaño de los "sprites".

Referencias / Bibliografía

[1] Tanenbaum, Andrew S., Structured computer organization, Pearson, 2006.

Agradecimientos

Agradecemos a la cátedra de "Electrónica V" por habernos apoyado con este proyecto y al departamento de electrónica del ITBA por prestarnos las placas de desarrollo. Damos también un especial agradecimiento a Marcelo Lerendegui quién nos guió a lo largo de todo el trabajo.