

Sincronización con la red eléctrica utilizando sistema de adquisición basado en FPGA

Ing. Pablo Cossutta, Ing. Mathias Angelico Engelhardt
 CIDEI – Centro de Investigación y Desarrollo de Electrónica Industrial

Para conectarse a la red eléctrica, todo convertidor de potencia necesita un método preciso de sincronización. Se presenta una estrategia de diseño e implementación de alta velocidad (Hasta 1 MSA/s) basada en una plataforma de adquisición de datos de 12bits con procesamiento en una FPGA Xilinx, para sistemas monofásicos.

Introducción

Para conectarse a la red eléctrica, todo convertidor de potencia necesita un método preciso de sincronización. Los algoritmos utilizados convencionalmente se basan en el conocido SRF-PLL (Synchronous Reference Frame Phase Locked Loop), implementados en un DSP (Digital Signal Processors) o un microcontrolador, donde el hardware utilizado limita la máxima tasa de muestreo. En este trabajo, se presentará detalladamente una simple y altamente efectiva implementación en una FPGA (Field Programmable Gate Array) del algoritmo PLL (Phase Locked Loop) basado en el SOGI-PLL (Second Order Generalized Integrator PLL) con una frecuencia de muestreo de 500kHz y 16 bits de resolución para la fase. El tiempo de diseño se reduce drásticamente al utilizar una herramienta de prototipado y síntesis de alto nivel sin la necesidad de utilizar lenguajes HDL (Hardware Description Language). Tanto las simulaciones como los resultados experimentales en una FPGA Xilinx muestran un excelente comportamiento aún en presencia de distorsión armónica severa y ante escalones de frecuencia o fase en la red eléctrica.

Objetivos

Obtener una referencia de fase respecto de la red eléctrica en forma precisa, de alta velocidad de respuesta e inmune a perturbaciones.

Algoritmo SOGI-PLL

EL diagrama en bloques general del sistema se muestra en la Figura 1.

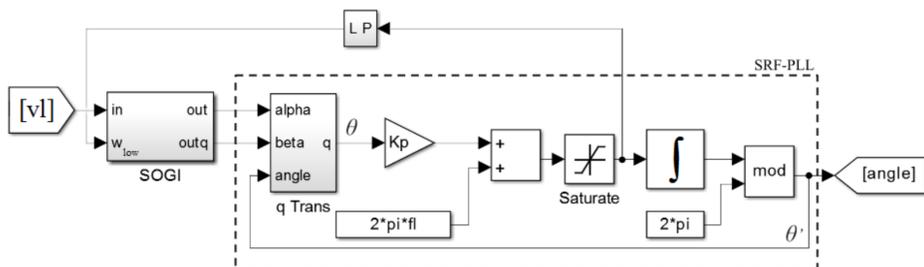


Figura 1: Diagrama general del sistema

Donde la capacidad de rechazo a perturbaciones está dada en gran parte por el filtro SOGI, representado en la Figura 2.

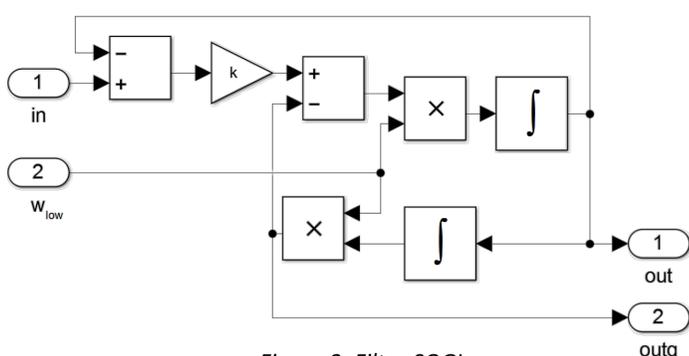


Figura 2: Filtro SOGI

Resultados

Los resultados experimentales muestran un excelente comportamiento aún en presencia de distorsión armónica excesiva (Figura 3) y una excelente respuesta ante variaciones de frecuencia en la red eléctrica (Figura 4). Para mayor información referirse a las publicaciones del centro de investigación.

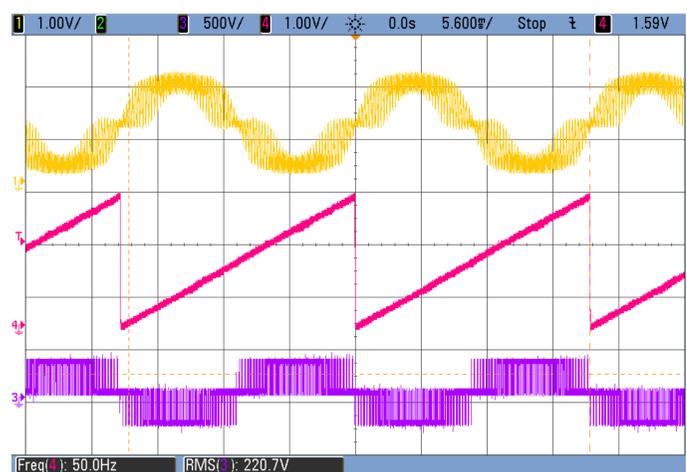


Figura 3: Respuesta frente a distorsión armónica



Figura 4: Respuesta frente a un escalón de frecuencia

Conclusiones

La implementación en una FPGA permite incluir junto con el sistema. Se obtienen retardos de cálculo inferiores a 200ns utilizando una baja cantidad de recursos, permitiendo el uso de FPGAs de bajo costo. La velocidad de respuesta del sistema se encuentra limitada únicamente por la velocidad del ADC utilizado (500 kSps en este caso).

Algunas publicaciones relacionadas

- [1] Cossutta, P.; Angelico, M.; Ditaranto, F.; Aguirre, M.; Valla, M.I., "Implementación de un SOGI-PLL monofásico de alta velocidad en FPGA", 2015 – RPIC - XVI Reunión de Trabajo en Procesamiento de la Información y Control – Córdoba, Argentina
- [2] M. Aguirre, L. Calvino y M. Valla, "Multilevel current-source inverter with fpga control," Industrial Electronics, IEEE Transactions on, vol. 60, no. 1, pp. 3–10, 2013.
- [3] Cossutta P.; Aguirre, M.; Cao A.; Raffo S.; Valla, M.I., "Single-Stage Fuel Cell to Grid Interface With Multilevel", IEEE Transactions on Industrial Electronics, vol. 62, no. 8, pp. 5256-5264, 2015
- [4] P. Cossutta, M. Aguirre, M. Engelhardt, A. Cao y M. Valla, "High speed fixed point dsogi pll implementation on fpga for synchronization of grid connected power converters", Industrial Electronics (ISIE), 2014, pp. 1372–1377.