

PROYECTO FINAL DE INGENIERÍA ELECTRÓNICA

Llaves de potencia aplicadas a
convertidores fuente de corriente:
tecnologías y topologías

AUTORA: Rocío PARRA (legajo 57669)

TUTORES: Pablo COSSUTTA
Ignacio GASPARINI
Nicolás NEMIROVSKY
Walter ORCHESSI
Ricardo PINGITORE
Alejandro UGARTE

CIUDAD AUTÓNOMA DE BUENOS AIRES
21 de junio de 2022

Agradecimientos

A mi familia, por todos los sacrificios que hicieron para permitirme obtener la educación que llevó a este momento.

A mis amigos, por estar siempre a mi lado, y en particular a mis compañeros de cursada, sin los cuales no estaría donde estoy ni tendría los conocimientos que tengo en mi vida profesional y académica.

A la cátedra de Diseño de Materiales Electrónicos y el Departamento de Ingeniería Electrónica, por darme la oportunidad de realizar este proyecto de investigación, y en particular al Dr. Ing. Miguel Aguirre por el apoyo que ha proporcionado a lo largo de la carrera y en este proyecto.

Al Dr. Ing. Pablo Cossutta, por acompañarme en cada paso del proceso, y por ser un excelente, profesor, ingeniero, y sobre todo persona.

Índice

Índice de figuras	IV
Índice de tablas	V
Acrónimos y definiciones	VII
1. Introducción	1
1.1. Contexto del proyecto	1
1.2. Finalidad y relevancia del proyecto	1
2. Objetivos	3
2.1. Objetivo general	3
2.2. Objetivos específicos	3
2.3. Hipótesis	4
2.4. Alcances y entregables	4
2.5. Recursos disponibles y limitaciones	5
3. Plan de trabajo	6
3.1. Etapas del proyecto	6
3.2. Planificación y programación	6
3.3. Ejecución del plan	8
4. Marco teórico	10
4.1. El convertidor fuente de corriente	10
4.1.1. Funcionamiento ideal	10
4.1.2. Modulación y curvas de salida típicas de un CSI	11
4.1.3. Modos de falla del circuito ideal	13
4.2. Llaves de potencia con bloqueo de corriente inversa	16
4.3. Las limitaciones teóricas del silicio	18
4.4. Estado del arte	21

5. Metodología	22
5.1. Plan de validación	22
5.1.1. Componentes utilizados	22
5.2. Diseño de simulaciones	23
5.2.1. Simulaciones del CSI	23
5.2.2. Simulaciones de conmutación de par de transistores en antiserie	27
6. Resultados	29
6.1. Introducción	29
6.2. Conmutación de dos transistores en antiserie en un CSI	29
6.3. Comparación de potencia disipada en llaves en un CSI	34
7. Discusión	36
7.1. Pérdidas por conducción en las llaves de un CSI	36
7.2. Método de comparación de llaves	37
8. Conclusiones	40
Bibliografía	43
A. Anexo: Software	44
A.1. Generación de señales de control	44
A.1.1. Llaves con diodo serie	44
A.1.2. Llaves con transistor antiserie	45
A.2. Procesamiento de datos	46
A.2.1. Cálculo de potencia media y potencia de conducción	46
A.2.2. Cálculo de media móvil	47

Índice de figuras

4.1. Convertidor fuente de corriente	10
4.2. Carga del CSI	14
4.3. Curvas típicas de modulación en un CSI (llaves ideales)	14
4.4. Modo de falla $s_1 + s_2 + s_3 > 1$	15
4.5. Estructura de un MOSFET de potencia VDMOS	17
4.6. Consecuencias de la falta de capacidad de bloqueo de corriente inversa en las llaves de un CSI	18
4.7. Topologías de llave con bloqueo en inversa	18
4.8. Límites teóricos de la relación entre R_{SP} y V_B para el Si, el SiC y el GaN	20
5.1. Esquema del CSI en las simulaciones	23
5.2. Ejemplo de subcircuito de llave con topología diodo serie	24
5.3. Modelo de fuente de corriente utilizado en las simulaciones	25
5.4. Carga de las simulaciones	26
5.5. Cambios requeridos para las simulaciones con llaves con topología antiserie	27
5.6. Esquemático de conmutación simplificada	28
6.1. Cortocircuito entre fases durante el tiempo de overlap	29
6.2. Modelo simplificado de una conmutación, paso 1	30
6.3. Modelo simplificado de una conmutación, paso 2	31
6.4. Modelo simplificado de una conmutación, paso 3	32
6.5. Modelo simplificado de una conmutación, paso 4 (final)	33
6.6. Tensiones y corrientes en cada transistor durante una conmutación ideal en una llave con topología antiserie.	34
6.7. Media móvil de la potencia disipada en s_1 para cada llave	35
7.1. Relación entre precio de la llave y potencia media disipada en un período de frecuencia de línea	38
7.2. Relación entre precio de la llave y potencia media disipada en un período de frecuencia de línea, incluyendo el índice de potencia K_p (tamaño del punto) de cada llave	39

Índice de tablas

3.1. Selección de la llave	6
3.2. Diseño de la llave	7
3.3. Mediciones sobre la llave	7
3.4. Mediciones sobre el CSI	8
3.5. Actividades que pueden realizarse en paralelo a la obtención de los componentes	8
4.1. LUT de estados	13
4.2. LUT de ceros	13
4.3. Parámetros del CSI para la simulación ideal	14
4.4. Valores típicos de ϵ_R , E_{cr} y μ_n para Si, SiC y GaN	20
5.1. Transistores utilizados en las simulaciones	22
5.2. Diodos utilizados en las simulaciones	22
5.3. Parámetros del CSI	24
5.4. Parámetros de la simulación	25
6.1. Potencia disipada para cada llave	35
7.1. Índice de potencia K_p de los transistores analizados	38
7.2. Índice de potencia K_p para los diodos analizados	38

Acrónimos y definiciones

Acrónimo	Definición
BJT	Transistor de unión bipolar (<i>Bipolar Junction Transistor</i>)
CSI	Convertidor fuente de corriente (<i>Current Source Inverter</i>)
FPGA	Matriz de puertas lógicas programable en campo (<i>Field Programmable Gate Array</i>)
IGBT	Transistor bipolar de puerta aislada (<i>Insulated Gate Bipolar Transistor</i>)
ITBA	Instituto Tecnológico de Buenos Aires
LUT	Tabla de consulta (<i>Lookup Table</i>)
MCSI	CSI multinivel (<i>Multilevel CSI</i>)
MOSFET	Transistor de efecto de campo metal-óxido-semiconductor (<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>)
RB-IGBT	IGBT de bloqueo inverso (<i>Reverse Blocking IGBT</i>)
THD	Distorsión armónica total (<i>Total Harmonic Distorsion</i>)
VDMOS	MOS de doble difusión vertical (<i>Vertical Double-diffused MOS</i>)
VSI	Convertidor fuente de tensión (<i>Voltage Source Inverter</i>)

Término	Descripción
CSI	Circuito que permite obtener corriente trifásica a partir de una fuente de corriente continua.
FPGA	Dispositivo programable que permite implementar funciones lógicas de alta complejidad, con numerosas entradas y salidas.
Nitruro de galio (GaN)	Material semiconductor alternativo al silicio, de la familia de los semiconductores de banda amplia

Término	Descripción
LUT	Estructura de datos utilizada típicamente en FPGA, donde se guardan combinaciones de claves y valores de manera tal que los últimos puedan obtenerse a través de los primeros de manera inmediata, sin necesidad de realizar cálculos intermedios
Silicio (Si)	Elemento químico que en su forma cristalizada es un material con propiedades semiconductoras, y es el principal material usado para esta aplicación.
Carburo de silicio (SiC)	Material semiconductor alternativo al silicio, de la familia de los semiconductores de banda amplia
Tiempo de subida, tiempo de caída	Abreviados como t_{rise} y t_{fall} (por sus nombres en inglés, <i>rise time</i> y <i>fall time</i>), estos tiempos corresponden al intervalo entre que una señal de tipo escalón demora en subir desde el 10 % del valor del salto al 90 % del valor del salto, o caer en el sentido contrario.
Semiconductores de banda amplia	Familia de semiconductores, definida como aquellos que cuentan con una banda de energía más elevada que la del silicio. Comúnmente denominada <i>wide-bandgap</i> por su nombre en inglés.
THD	Cuantización de la distorsión armónica de una señal, es decir, de cuánta potencia de la misma se concentra en su armónico principal comparada con los secundarios. Se define como la suma de la potencia de los armónicos secundarios de una señal sobre la del armónico principal.
Trifásica	Sistema de distribución de energía eléctrica donde la corriente se transite en tres corrientes alternas de igual amplitud y frecuencia, pero desfasadas 120° entre sí.
VDMOS	Transistores construidos en estructura vertical, utilizados principalmente en aplicaciones de potencia.
VSI	Circuito que permite obtener tensión trifásica a partir de una fuente de tensión continua.

Resumen

El presente trabajo consiste en un proyecto de investigación en el área de electrónica de potencia. Se realiza un análisis comparativo de llaves de distintos materiales y con distintas topologías, específicamente para su aplicación en convertidores fuente de corriente. Dicho análisis se basa en la simulación de un mismo convertidor con distintas llaves, comparando la potencia disipada en una llave durante un período de frecuencia de línea de la trifásica de salida.

La hipótesis inicial es que las alternativas propuestas a la llave patrón, consistente en un transistor IGBT en serie con un diodo de silicio, permitirán reducir considerablemente las pérdidas de las llaves gracias a sus ventajas en cuanto a respuesta en frecuencia, que reducirán las pérdidas por conmutación. Si bien se reconoce que estas alternativas tienen también la capacidad teórica de reducir las pérdidas de conducción, se asume que las mismas no serán significativas.

Se presenta una introducción teórica al CSI, haciendo énfasis en las características requeridas de las llaves. Se presenta el marco teórico que justifica la hipótesis de que el uso de materiales de banda amplia, el SiC y el GaN, reducirán las pérdidas por conmutación y por conducción. Lo mismo se postula y explica en cuanto a la topología de transistores en antiserie.

A continuación, se detallan las simulaciones realizadas. Los resultados de las mismas se dividen en dos partes: en primer lugar, una propuesta de método de conmutación para las llaves con transistores en antiserie, y luego, la potencia disipada durante un período de la frecuencia de línea para cada llave.

En la discusión de estos resultados, es inmediatamente aparente que la hipótesis inicial no es correcta: en efecto, más del 90 % de las pérdidas son por conducción en todas las llaves estudiadas. Si bien se logró reducir las pérdidas de conmutación en más de un 50 %, el 30 % de reducción observado en las pérdidas totales en algunos casos se debe fundamentalmente a las ventajas en cuanto a conducción de las alternativas analizadas.

Adicionalmente, se propone un método para comparar las llaves, considerando la potencia media disipada en las llaves, su precio, y la tensión y corriente máxima que permiten manejar. Se presentan luego las conclusiones del proyecto.

Capítulo 1

Introducción

1.1. Contexto del proyecto

Este proyecto está enmarcado en una serie de investigaciones que se desarrollaron en el departamento de electrónica del Instituto Tecnológico de Buenos Aires, las cuales culminaron con la presentación en 2019 de un convertidor fuente corriente de siete niveles, con un análisis en profundidad de sus aplicaciones, técnicas de modulación y sistemas de control para obtener la mejor eficiencia posible [1]. Este convertidor utiliza 3 módulos CSI en simultáneo, y cada uno de los módulos cuenta con 6 llaves, que consisten en un transistor IGBT en serie con un diodo, ambos basados en silicio.

Los dispositivos actualmente utilizados en el convertidor permiten que las llaves bloqueen tensiones de hasta 600V. Para la próxima etapa de la investigación, esta tensión resulta insuficiente. Se requiere que el convertidor sea capaz de trabajar a la tensión de línea, para lo cual las llaves con las que se cuenta no tienen la capacidad de bloqueo suficiente.

Dado que es necesario cambiar las llaves, se busca hacerlo de forma tal que se pueda mejorar la eficiencia y aumentar la frecuencia.

Con esto en mente, se habían adquirido antes de la concepción de este trabajo MOSFET (C3M0120090D y C2M0160120D) y diodos Schottky (GP2D020A120B) de SiC. Al proponerse realizar una investigación más en profundidad del tema en cuestión, se abrió la posibilidad de usar otros dispositivos, o al menos de analizarlos a nivel teórico y de simulación si se dificulta conseguirlos.

1.2. Finalidad y relevancia del proyecto

Debido a consideraciones principalmente ambientales, la matriz energética mundial está incluyendo fuentes renovables en cada vez mayor medida. Una parte fundamental de esta transición, especialmente mirando a futuro, es la generación distribuida de energía [2]. Esto implica la necesidad de avanzar no sólo en el frente de la generación de energía en sí misma, sino en cómo inyectarla a la red eléctrica desde instalaciones de mucho menor escala que lo que se trabaja de manera convencional.

Para que esta generación distribuida de energía sea viable, es fundamental que los convertidores que inyectan la energía de este conjunto de pequeños generadores a la red eléctrica sean lo más

eficientes posibles. Para fuentes de energía como paneles solares fotovoltaicos y celdas de hidrógeno, que entregan energía en forma de corriente continua, las soluciones que se utilizan hoy día son convertidores fuente de tensión (VSI) o convertidores fuente Z (Z-source) [1]. En cuanto a la tecnología utilizada, siguen primando dispositivos basados en silicio (Si).

Sin embargo, desde hace años se está avanzando en la dirección de reemplazar al silicio por materiales con mejores propiedades para estas aplicaciones, principalmente el carburo de silicio (SiC) y el nitruro de galio (GaN). Presentan varios desafíos: no hay un entendimiento tan claro como el del silicio de los principios físicos, y su producción es más costosa y resulta en componentes más susceptibles a defectos [3]. Esto provoca que en general su comportamiento no sea tan confiable y predecible, en comparación con los dispositivos tradicionales [4]. Sin embargo, tienen la promesa de que sus límites teóricos de funcionamiento superan a los del silicio. Ya desde principios del siglo XXI estaban difundidas aplicaciones en las cuales estos límites teóricos provocan problemas considerables [3], y casi veinte años más tarde la tendencia continúa [5][6], con lo cual resulta imperativo continuar estudiando estos materiales y los dispositivos que se fabrican a partir de ellos.

En cuanto a las topologías más difundidas, de los convertidores mencionados se encuentra notoriamente ausente el convertidor fuente de corriente (CSI). En gran parte, esto se debe a que cuando este tipo de convertidores estaban comenzando a diseñarse, la tecnología disponible no permitía las velocidades de conmutación necesarias para que se pudiesen utilizar de forma eficiente. Desde luego, hoy día esto ya no es cierto, pero la bibliografía sobre este tema sigue siendo acotada [1].

En parte esto es por las razones históricas ya mencionadas, pero también subsiste el problema de las pérdidas en las bobinas. Es necesario para estos convertidores entonces trabajar a mayor frecuencia, para poder utilizar componentes pasivos más pequeños y así mejorar la eficiencia.

Por lo tanto, resulta de particular interés la idea de utilizar dispositivos de SiC o GaN para este convertidor, puesto a que permite trabajar en frecuencias más elevadas, además de reducir las pérdidas de los transistores en encendido [4]. Sin embargo, la literatura actual se centra o bien en las llaves en sí mismas, sin concentrarse en ninguna aplicación en particular [7][8], o bien en otras aplicaciones no necesariamente relevantes para la performance del CSI [7][9]. En particular, el principio de funcionamiento del CSI hace que las características buscadas en los dispositivos sean distintas. Mientras que en las conmutaciones de un VSI se debe garantizar que se haya cerrado completamente una llave antes de abrir otra, en un CSI ocurre todo lo contrario: se debe garantizar que en ningún momento durante la conmutación, las dos llaves que están cambiando de estado están apagadas. Los requerimientos son entonces muy diferentes para esta aplicación.

Por estos motivos, en este proyecto se estudiará el desempeño de dispositivos basados en SiC y GaN, y qué ventajas y desventajas tienen entre sí y respecto de los basados en Si, específicamente para su uso como llaves en convertidores fuente de corriente.

Capítulo 2

Objetivos

2.1. Objetivo general

Con este proyecto se busca contribuir al estado del arte sobre los convertidores fuente de corriente, en particular, de qué tecnologías de semiconductores y topologías resultan en llaves más eficientes para esta aplicación.

Como ya se ha discutido, incluso con llaves eficientes que permitan trabajar en alta frecuencia, los CSI siguen teniendo el problema de las pérdidas en las bobinas. Asimismo, las nuevas tecnologías que se utilizarán, los semiconductores basados en carbono de silicio y nitruro de galio, no tienen aún la confiabilidad de los basados en silicio. Por lo tanto, un avance en la dirección que plantea este proyecto no tiene una aplicación industrial actualmente.

Es claro entonces que el objetivo de este trabajo no es encontrar el próximo convertidor más eficiente del mercado. Desde luego, no podemos predecir qué avances y descubrimientos en este campo se producirán en el futuro, pero lo que sí se puede afirmar es que los habrá, y que las tecnologías y procesos que usamos hoy no son los que usaremos para siempre, de la misma manera que no son los que usábamos hace 100, 50 o incluso 10 años. Este proyecto apunta a que si el día de mañana se producen nuevos desarrollos en tecnología de materiales electrónicos que permitan utilizar convertidores fuente de corriente de forma más eficiente, compitiendo con los demás convertidores, y si los productos basados en SiC o GaN logran ser la tecnología que supera al silicio, la literatura disponible sobre estos temas, y el entendimiento que tenemos sobre ellos, sean más amplios y completos.

2.2. Objetivos específicos

Para llevar lo planteado a términos más concretos, retomaremos el contexto del proyecto: se estudiará qué tecnología de semiconductor es más apta para usar en un CSI, y a su vez se evaluará con qué topología se obtienen mejores resultados para garantizar bloqueo de corriente bidireccional con mejor eficiencia.

Se espera que con los nuevos dispositivos se pueda mejorar la eficiencia del convertidor. Basado en los trabajos existentes que comparan SiC o GaN con silicio para otras aplicaciones [8][7][9], se espera que la menor resistencia de encendido de estos dispositivos reduzca las pérdidas en las llaves. A su vez, al poder trabajar en frecuencias más altas, se abre la posibilidad de cambiar los

inductores del convertidor por otros más pequeños, contribuyendo aún más a su eficiencia.

2.3. Hipótesis

Se hipotetiza que las llaves conformadas por dispositivos basados en SiC y GaN serán más eficientes que sus contrapartes de Si. Dado que estos materiales tienen mejores propiedades en cuanto a su respuesta en frecuencia, sus pérdidas por switching podrían ser considerablemente menores. Como se asume que la mayor parte de la potencia disipada será por switching, se debería obtener entonces mejor eficiencia total.

En cuanto a la topología, por una lógica análoga se llega a la segunda hipótesis principal: el uso de transistores en antiserie permitirá obtener menores pérdidas totales, gracias a la mayor velocidad de conmutación de transistores respecto de la de diodos.

2.4. Alcances y entregables

Este trabajo tendrá una primera etapa teórica y de simulación, en la cual se evaluarán distintas tecnologías y topologías en comparación entre ellas. En este momento, no se tendrán en cuenta consideraciones prácticas de qué dispositivos se pueden llegar a conseguir a nivel práctico (por ejemplo, cuáles llegan al país, cuáles no suelen estar en stock), pero sí cuáles se producen comercialmente en la actualidad.

Se evaluarán dos aspectos distintos: el material de los dispositivos, y la configuración en la que se usan para bloquear corriente en inversa, si transistores en anti-serie, o transistor en serie con diodo. No se estudiarán configuraciones como dos ramas de diodo en serie con transistor en anti-paralelo, que si bien permiten bidireccionalidad de corriente, requieren cuatro componentes en lugar de dos, dado que no es esta una característica necesaria para las llaves de un CSI.

Concretamente, las opciones que se estudiarán son:

- MOSFET SiC en serie con diodo SiC
- MOSFET SiC en antiserie con otro MOSFET SiC
- MOSFET GaN en serie con diodo SiC
- MOSFET GaN en antiserie con otro MOSFET GaN

Al no producirse comercialmente diodos de GaN, para la topología serie se lo combina con un diodo de SiC.

Luego de realizar la comparación de las distintas opciones, se elegirá la nueva llave que efectivamente se implementará. Desde luego, aquí sí se deberá tener en cuenta qué dispositivos se pueden conseguir. Sólo se realizarán mediciones sobre esta única nueva llave, que se contrastarán con mediciones sobre la existente.

Dichas mediciones se realizarán en dos etapas: primero evaluando únicamente la performance de la conmutación entre dos llaves aisladas (como si fuese una única rama del CSI), y luego

en conjunto con el CSI, donde se estudiará cómo cambia el comportamiento del sistema en su totalidad.

2.5. Recursos disponibles y limitaciones

Estas llaves serán utilizadas por un inverter preexistente, que funciona en las siguientes condiciones:

- corriente máxima de entrada 10A
- tensión de línea: igual a la tensión de la red eléctrica

La corriente de entrada es proveniente de una fuente de corriente diseñada específicamente para este inverter, con lo cual es suficiente tomar este valor como requerimiento de corriente para los dispositivos.

Para cumplir el requerimiento de tensión, en cambio, debe dejarse más margen de error, puesto que en la eventualidad de conectar el inverter a la red eléctrica, debería poder resistir cualquier fluctuación de la misma dentro de los valores de tolerancia indicados por el Ente Nacional Regulador de Electricidad (ENRE). Según la resolución 0465/96, las empresas proveedoras de electricidad deben garantizar que la tensión de fase rms de la red se mantenga en el rango $220V + 20\% - 30\%$. Como para la selección de las llaves el valor relevante es el máximo, debe poder bloquearse hasta un 20% más que $220V_{rms}$.

Tomando un 10% de margen de seguridad, se obtiene que las llaves deben ser capaces de bloquear al menos una tensión de:

$$V_{B\ min} = 220V \cdot 1.2 \cdot 1.1 \cdot \sqrt{2} \cdot \sqrt{3} \simeq 711V \quad (2.1)$$

Por lo tanto, los componentes utilizados deben poder bloquear al menos 711V, y conducir 10A.

En cuanto al circuito de disparo, el mismo será diseñado una vez que esté seleccionada la llave, y por lo tanto se adoptará a las características requeridas por los dispositivos que se terminen utilizando, con lo cual no hay a priori requerimientos sobre cómo debe indicarse un cambio de estado en la llave.

Capítulo 3

Plan de trabajo

3.1. Etapas del proyecto

El presente proyecto se divide en las siguientes tareas:

- A Comparar distintas llaves de potencia entre sí y con la que está actualmente en el CSI del ITBA, y seleccionar la que la reemplazará (sólo simulaciones)
- B Diseñar la nueva llave, incluyendo su circuito de disparo
- C Observar experimentalmente el comportamiento de la nueva llave
- D Observar experimentalmente el comportamiento del CSI con las nuevas llaves, y compararlo con cuando tenía las llaves anteriores

3.2. Planificación y programación

Cada una de las cuatro etapas del proyecto puede descomponerse en varias subtareas, que se detallan en las tablas 3.1, 3.2, 3.3 y 3.4.

Dado que este proyecto será llevado a cabo por una única persona, no es posible reducir la duración del proyecto realizando más de una actividad en paralelo. La única excepción es la obtención de componentes, que se analizará a continuación.

ID	Actividad	Precededoras	t_o (h)	t_m (h)	t_p (h)
A01	Definir función costo	-	1.0	2.0	3.0
A02	Simulación ideal	-	1.0	3.0	8.0
A03	Método de trabajo en LTSpice	-	0.5	2.0	4.0
A04	Punto de máxima disipación de potencia	A02, A03	0.3	2.0	8.0
A05	Simulaciones con Si o SiC o GaN	A02, A03	30.0	60.0	100.0
A06	Cálculo función de costo	A01, A04, A05	1.0	3.0	8.0
A07	Conclusiones	A06	1.0	3.0	8.0
A08	Informe	A07	10.0	24.0	40.0

TABLA 3.1: Selección de la llave

La actividad C03, obtención de componentes, debe ser analizada aparte. Si bien esta actividad claramente afecta los tiempos de inicio de sus sucesoras, el tiempo que toma no es tiempo de

ID	Actividad	Precededoras	t_o (h)	t_m (h)	t_p (h)
B01	Diseño del circuito de disparo	A07	8.0	16.0	24.0
B02	Simulación del circuito de disparo con una llave	B01	4.0	16.0	32.0
B03	Simulación con el CSI	B02	0.5	2.0	16.0
B04	Informe	B03	8.0	20.0	30.0

TABLA 3.2: Diseño de la llave

ID	Actividad	Precededoras	t_o (h)	t_m (h)	t_p (h)
C01	Investigación: layout de circuitos de potencia	B03	8.0	24.0	30.0
C02	Diseño del método de medición	A01	0.5	2.0	8.0
C03	Obtención de componentes	A07, B03	-	-	-
C04	Diseño del PCB	A07, B03, C02	5.0	10.0	24.0
C05	Realización del PCB	C03, C04	1.5	3.0	6.0
C06	Armado del DUT y medición	C05	1.5	3.0	8.0
C07	Conclusiones	C06	0.5	2.0	8.0
C08	Informe	C07	8.0	16.0	24.0

TABLA 3.3: Mediciones sobre la llave

trabajo en horas, sino días hábiles o semanas. Se estima que en el peor caso, se demorará 4 semanas entre el comienzo de la actividad y su finalización.

Esta actividad tiene dos precededoras: las conclusiones de la selección de la llave (es decir, la actividad A07), y la verificación del funcionamiento del circuito de disparo en el CSI (actividad B03). Por otro lado, debe estar terminada antes de comenzar con la actividad C05, la realización del PCB.

Las actividades que pueden realizarse mientras los componentes están en camino son aquellas que:

- no son necesarias para llegar a las actividades A07 ni B03
- no son posteriores a la realización del PCB

Las actividades que cumplen ambos criterios se listan en la tabla 3.5.

En conjunto, este conjunto de actividades toman 80.6 horas, con un desvío de 8 horas. Por lo tanto, a menos que se trabaje más de 20 horas por semana en esta parte del proyecto, no habrá tiempo muerto esperando la llegada de los componentes. A su vez, asumiendo que se trabaja 8 horas por semana, los componentes deberían tardar más de 10 semanas en llegar para que se acabe el trabajo disponible.

Por lo tanto, se concluye que esta actividad no causará tiempos muertos en el proyecto.

Para obtener la duración estimada del proyecto, se suman todos los tiempos esperados, con la excepción de la obtención de componentes. Se obtiene:

$$t_e = 265.5 \text{ horas}, \sigma = 25.8 \text{ horas} \quad (3.1)$$

ID	Actividad	Precedesoras	t_o (h)	t_m (h)	t_p (h)
D01	Diseño del método de medición	C02	0.5	3.0	5.0
D02	Diseño para incorporar las llaves al CSI	C04, D01	1.0	4.0	8.0
D03	Realizar el PCB	D02	2.0	4.0	7.0
D04	Armado del DUT y medición	D03	2.0	4.0	10.0
D05	Conclusiones	D04	0.5	2.0	8.0
D06	Informe	D05	8.0	16.0	24.0

TABLA 3.4: Mediciones sobre el CSI

ID	Actividad	Precedesoras	t_e (h)	σ^2 (h ²)
A08	Infome (selección de llave)	A07	24.3	25.0
B04	Infome (diseño de llave)	B03	19.7	13.4
C01	Investigación: layout de circuitos de potencia	B03	22.3	13.4
C02	Diseño del método de medición	A01	2.8	1.6
C04	Diseño del PCB	A07, B03, C02	11.5	10.0

TABLA 3.5: Actividades que pueden realizarse en paralelo a la obtención de los componentes

Esto es equivalente a 32.1 días de trabajo *full-time* (8 horas por día), lo cual se traduce en 6.4 semanas teniendo en cuenta que no se trabaja sábados ni domingos. Esto correspondería a un mes y medio de trabajo, sin tener en cuenta feriados ni asuetos.

Teniendo en cuenta que se estima poder trabajar en promedio ocho horas por semana, esto resultaría en que la duración del proyecto sea de 32 semanas, o lo que es lo mismo, 7 meses y medio.

3.3. Ejecución del plan

Durante el desarrollo del proyecto, se volvió aparente que se había subestimado sustancialmente la dificultad de las simulaciones del CSI. En primer lugar, lograr que la simulación del circuito converja no es trivial, y requirió agregar y seleccionar numerosos parámetros en todos los subcircuitos, como se observa en los esquemáticos de las simulaciones: inductancia de las pistas, resistencias sw medición que a su vez introducen pequeñas asimetrías entre las fases, capacitancia y resistencia en paralelo a las llaves, resistencia entre el neutro de la carga y el neutro de la fuente, entre otros.

Asimismo, la forma de las señales de control también debió ajustarse, logrando llegar a un tiempo de overlap, de subida y de bajada suficientemente pequeños como para no afectar significativamente la eficiencia y distorsión armónica del circuito, pero suficientemente grandes como para que las grandes derivadas de tensiones y corrientes introducidas no causen picos destructivos en ningún componente.

Esto es adicionalmente complicado por el tiempo de las simulaciones, ya que en los peores casos podían llevar más de 8 horas en completarse. El proceso de prueba y error se debió realizar a lo largo de varios días, y lo que funciona para un componente no necesariamente funcionará para todos los demás, con lo cual este proceso fue extremadamente lento.

A su vez, surgió el problema de la conmutación de llaves con topología antiserie. Inicialmente, se asumió que se podría utilizar la misma señal de control para ambos transistores de una misma llave, pero este no es el caso. Como se verá en la [Sección 5.2](#) y [Sección 6.2](#), se debió diseñar un método de conmutación específico para esta topología, y un segundo grupo de simulaciones para analizar este caso particular y validar el método propuesto.

Por lo tanto, se decidió limitar el alcance del trabajo a las simulaciones

Capítulo 4

Marco teórico

4.1. El convertidor fuente de corriente

El convertidor fuente de corriente es un circuito que permite obtener corriente alterna a partir de una fuente de corriente continua. En este trabajo en particular se requiere una salida trifásica.

Conceptualmente un CSI se compone únicamente de 6 llaves funcionando en conjunto, tal como se muestra en la figura 4.1. Dichas llaves sólo permiten que la corriente circule en un único sentido (coincidente con el sentido en que circula i_{csi} , como se ilustra con el diodo serie), y trabajan de manera tal que para todo momento, una y sólo una de las llaves s_1 , s_2 y s_3 están prendidas al mismo tiempo, y lo mismo para s_4 , s_5 y s_6 .

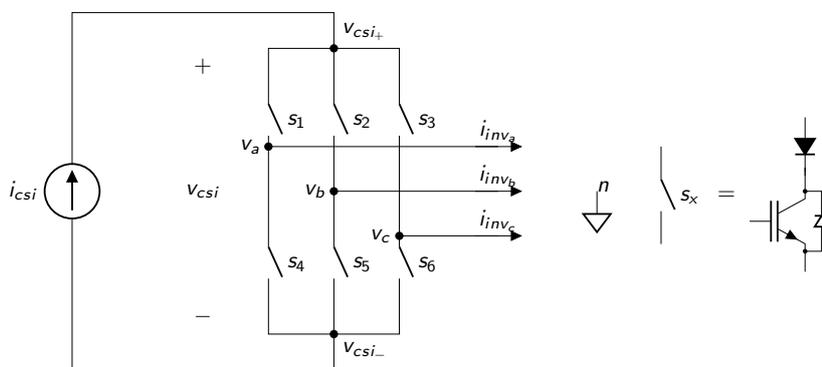


FIGURA 4.1: Convertidor fuente de corriente

Cada una de las tres ramas del circuito (representada en la figura 4.1 de manera vertical) provee una de las tres fases de corriente de salida. El estado de las dos llaves correspondientes a una fase dada, es decir si cada una de ellas están abiertas ($s = 0$) o cerradas ($s = 1$), determina si la corriente de fase fluye del convertidor al neutro, del neutro al convertidor, o no fluye en absoluto.

4.1.1. Funcionamiento ideal

Para analizar cada una de las cuatro combinaciones posibles de los estados de las llaves para una rama, llamaremos x a una fase cualquiera (a , b o c), y s_{1-3} y s_{4-6} a las llaves de la parte superior e inferior de la figura 4.1 respectivamente. Por ejemplo, si x fuese b , s_{1-3} haría referencia a s_2 , y s_{4-6} , a s_5 .

Si las dos llaves de la rama tienen el mismo estado, es decir $s_{1-3} = s_{4-6}$, su correspondiente

corriente de fase i_{inv_x} es nula. En el caso de que las dos llaves estén abiertas ($s_{1-3} = s_{4-6} = 0$), i_{inv_x} no tiene ningún camino para circular, con lo cual debe ser 0, mientras que si ambas están cerradas ($s_{1-3} = s_{4-6} = 1$), toda la corriente que circule por s_{1-3} continuará por s_{4-6} (asumiendo que la impedancia de la fase x es mucho mayor que la de las llaves).

Por otro lado, si $s_{1-3} = 1$ y $s_{4-6} = 0$, la corriente proveniente de s_{1-3} será igual a i_{inv_x} , dado que no tiene ningún otro camino para circular. Análogamente, cuando $s_{1-3} = 0$ y $s_{4-6} = 1$, i_{inv_x} es igual a la corriente de la llave s_{4-6} , pero en este caso en el sentido contrario.

Recordando que se estableció que si para la fase x , $s_{1-3} = 1$, entonces para las otras dos fases $s_{1-3} = 0$, y la misma condición se cumple para las llaves s_{4-6} , aplicando nodos en v_{csi+} y en v_{csi-} , se puede deducir que la corriente que circula por una llave cerrada es siempre i_{csi} . Por lo tanto:

$$i_{inv_x} = \begin{cases} +i_{csi} & \text{si } s_{1-3} = 1 \text{ y } s_{4-6} = 0 \\ -i_{csi} & \text{si } s_{1-3} = 0 \text{ y } s_{4-6} = 1 \\ 0 & \text{si } s_{1-3} = s_{4-6} = 0 \text{ o } s_{1-3} = s_{4-6} = 1 \end{cases} \quad (4.1)$$

Si se definen los siguientes vectores:

$$\mathbf{i}_{inv} = \begin{bmatrix} i_{inv_a} \\ i_{inv_b} \\ i_{inv_c} \end{bmatrix} \quad \mathbf{v} = \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad \mathbf{s} = \begin{bmatrix} s_1 \\ s_2 \\ s_3 \end{bmatrix} - \begin{bmatrix} s_4 \\ s_5 \\ s_6 \end{bmatrix} \quad (4.2)$$

Entonces la corriente de salida \mathbf{i}_{inv} puede calcularse como [1]:

$$\mathbf{i}_{inv} = \mathbf{s} i_{csi} \quad (4.3)$$

A su vez, la tensión del convertidor queda definida por:

$$v_{csi} = \mathbf{s}^T \mathbf{v} \quad (4.4)$$

Por lo tanto, la potencia entregada por la fuente es:

$$P_{dc} = v_{csi} i_{csi} = \mathbf{s}^T \mathbf{v} i_{csi} \quad (4.5)$$

4.1.2. Modulación y curvas de salida típicas de un CSI

Si bien el problema de cómo deben controlarse las llaves a lo largo del tiempo para obtener una señal senoidal a la salida está más allá del alcance de este trabajo, y por lo tanto no se desarrollará en detalle, sí resulta de interés familiarizarse con las características de las curvas de salida del convertidor.

Al igual que para el convertidor fuente de tensión, el estado de las llaves se determina mediante la comparación de tres señales de referencia, i_{ref_a} , i_{ref_b} e i_{ref_c} , con una señal triangular de mayor frecuencia. Las señales de referencia poseen la misma forma que la salida deseada (es decir, son tres senoidales con la frecuencia de salida requerida, desfasadas 120° entre sí), pero no así la

amplitud. Si se define \hat{i}_{tri} como la corriente pico de la señal triangular, e \hat{i}_{ref} como la amplitud de las señales de referencia, entonces asumiendo que la triangular tiene valor medio cero, se cumple que:

$$m_a = \frac{\hat{i}_{ref}}{\hat{i}_{tri}} \quad (4.6)$$

Si $m_a \leq 1$, se cumple entonces que la amplitud de la corriente de salida de cada rama es:

$$\hat{i}_{inv_x} = m_a \cdot i_{dc} \quad (4.7)$$

Otro parámetro importante de la modulación de un CSI es la relación entre la frecuencia de i_{ref} con la de i_{tri} . Llamándolas respectivamente f_{ref} y f_{tri} , se define el índice de modulación de frecuencia m_f como:

$$m_f = \frac{f_{tri}}{f_{ref}} \quad (4.8)$$

Este parámetro afecta significativamente el espectro de las señales i_{inv_x} , y también indica a qué frecuencia se espera que conmuten las llaves. Llamando f_{sw} a la frecuencia de switching, y f_L a la frecuencia de línea:

$$f_{sw} = m_f \cdot f_L \quad (4.9)$$

De la comparación entre i_{tri} e i_{ref_x} se obtienen tres señales, g_1 , g_2 y g_3 , correspondientes respectivamente a i_{ref_a} , i_{ref_b} e i_{ref_c} . Estas señales son digitales, y definen su estado de la siguiente manera (ejemplificando para g_1 , y análogamente para g_2 y g_3):

$$g_1 = \begin{cases} 1 & \text{si } i_{ref_a} \geq i_{tri} \\ 0 & \text{si } i_{ref_a} < i_{tri} \end{cases} \quad (4.10)$$

Para un convertidor fuente de tensión, estas señales g se corresponden directamente con el estado de las llaves de su correspondiente rama, de manera tal que por ejemplo $s_1 = g_1$ y $s_4 = \bar{g}_1$. Como hay 8 valores posibles de $\mathbf{g} = [g_1 \ g_2 \ g_3]^T$, se cubren los 8 valores posibles de \mathbf{s} (que se corresponden con las 8 maneras posibles de combinar s_1 , s_2 y s_3 , ya que las llaves inferiores siempre están en el estado opuesto que las superiores).

Sin embargo, en un convertidor fuente de corriente existen 9 valores de \mathbf{s} válidos: cualquier combinación de cerrar una de las llaves superiores y una de las inferiores es válida, obteniendo $3 \cdot 3 = 9$ estados. En lugar de dos estados cero, se tienen tres: se pueden tener las dos llaves de una misma rama cerradas, para cada una de las tres ramas. Por lo tanto, no sólo el estado de cada switch no tiene una relación unívoca con el de una señal g , si no que hay más estados posibles que valores de \mathbf{g} . La solución a este problema utilizada en este trabajo es propuesta en [1], que utiliza dos LUT y considera un segundo criterio para determinar cuál de los tres estados cero deben utilizarse.

La primera LUT, llamada LUT de estados, determina \mathbf{s} a partir de \mathbf{g} (tabla 4.1). Este valor de \mathbf{s} se alimenta a los circuitos de disparo para realizar las conmutaciones necesarias, a menos que \mathbf{s}

sea igual a $\mathbf{0}$, en cuyo caso se utilizará en cambio la salida de la segunda LUT, llamada LUT de ceros.

Esta segunda LUT se utiliza para determinar cuál de los tres estados posibles debe usarse para garantizar el menor número de conmutaciones. Para esto se calcula el módulo de la diferencia para los tres pares de corrientes de referencia ($|i_{ref_a} - i_{ref_b}|$, $|i_{ref_b} - i_{ref_c}|$ y $|i_{ref_c} - i_{ref_a}|$), y se determina s en función de cuál de los tres es el mayor. La salida para cada caso está expresada en la tabla 4.2. Este criterio no es el óptimo, pero implica una complejidad de cálculo mucho menor, y empíricamente no se observa una diferencia significativa en el número de conmutaciones resultante [1].

Entrada			Salida					
g_1	g_2	g_3	s_1	s_2	s_3	s_4	s_5	s_6
0	0	0	0	0	0	0	0	0
0	0	1	0	0	1	0	1	0
0	1	0	0	1	0	1	0	0
0	1	1	0	0	1	1	0	0
1	0	0	1	0	0	0	0	1
1	0	1	1	0	0	0	1	0
1	1	0	0	1	0	0	0	1
1	1	1	0	0	0	0	0	0

TABLA 4.1: LUT de estados

Valor	Salida					
Máximo	s_1	s_2	s_3	s_4	s_5	s_6
$ i_{ref_a} - i_{ref_b} $	1	0	0	1	0	0
$ i_{ref_b} - i_{ref_c} $	0	1	0	0	1	0
$ i_{ref_c} - i_{ref_a} $	0	0	1	0	0	1

TABLA 4.2: LUT de ceros

A modo ilustrativo, se utilizará este algoritmo para obtener las curvas de salida de un CSI conectado a una carga balanceada $R - L$ en estrella, y capacitores de filtrado en triángulo, tal como se observa en la figura 4.2. Los parámetros utilizados para esta simulación ideal se encuentran listados en la tabla 4.3.

Las curvas obtenidas pueden observarse en la figura 4.3. La corriente i_{inv_a} toma alternativamente los valores $+i_{csi}$, $-i_{csi}$ y 0 , tal como se había establecido en la ecuación 4.1. Al filtrar esta corriente se obtiene i_a , la corriente que llega a la carga, que tiene la misma frecuencia que la señal de referencia, y amplitud $m_a \cdot i_{csi} = 8A$.

4.1.3. Modos de falla del circuito ideal

Se analizará a continuación qué sucede si no se cumplen las condiciones planteadas para llegar a la ecuación 4.1: que una y sólo una de las llaves superiores (s_1 , s_2 y s_3) esté encendida en todo

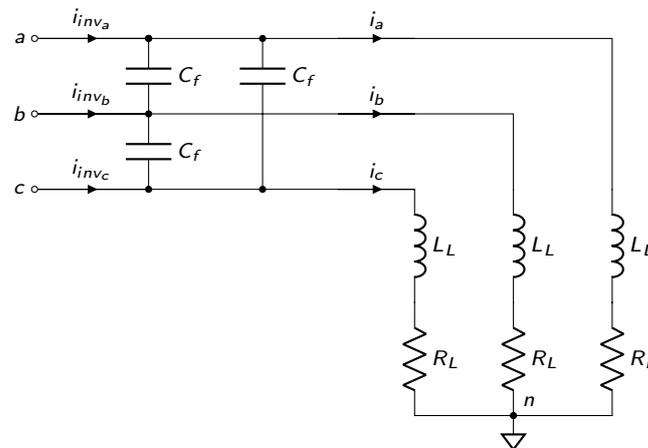


FIGURA 4.2: Carga del CSI (RL en conexión estrella, balanceada, con capacitores de filtrado en triángulo)

Parámetro	Descripción	Unidades	Valor
i_{dc}	Corriente de entrada	A	10
f_L	Frecuencia de línea	Hz	50
m_a	Índice de modulación de amplitud	Adimensional	0.8
m_f	Índice de modulación de frecuencia	Adimensional	63
R_L	Resistencia de carga	Ω	26
L_L	Inductancia de carga	H	20×10^{-3}
C_f	Capacidad de filtrado	F	3.3×10^{-6}

TABLA 4.3: Parámetros del CSI para la simulación ideal

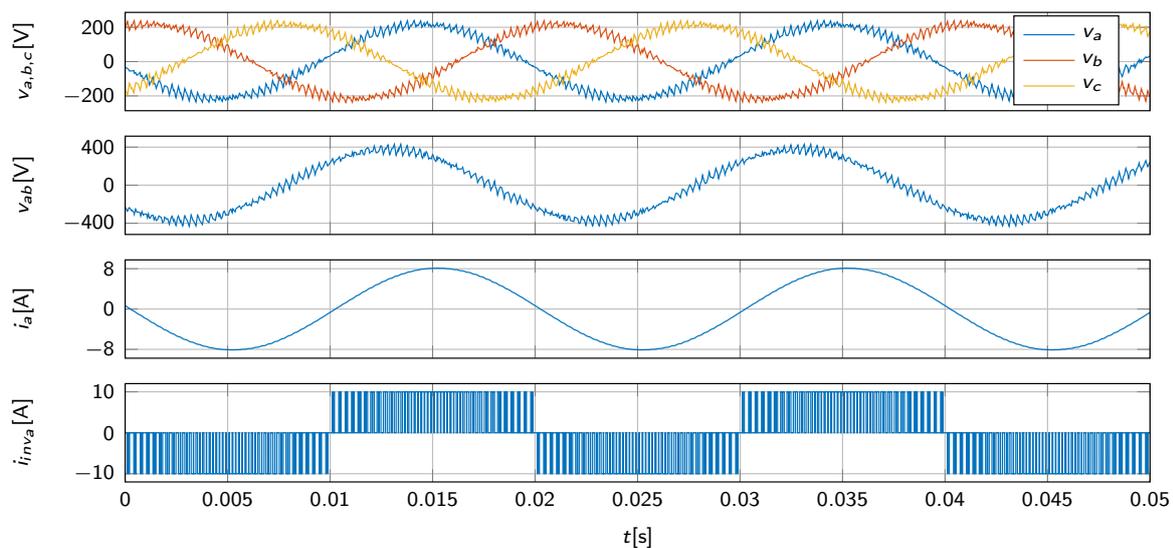


FIGURA 4.3: Curvas típicas de modulación en un CSI (llaves ideales)

momento, y lo mismo para las inferiores (s_4, s_5 y s_6). Esto puede expresarse con las siguientes igualdades:

$$s_1 + s_2 + s_3 = s_4 + s_5 + s_6 = 1 \tag{4.11}$$

El caso más sencillo de analizar es qué sucede si $s_1 + s_2 + s_3 = 0$ o $s_4 + s_5 + s_6 = 0$, o lo que es equivalente, que todas las partes de la parte superior o de la parte inferior estén abiertas. Si $s_1 = s_2 = s_3 = 0$, el nodo v_{csi+} no cumple la ley de nodos de Kirchhoff: la corriente entrante es i_{csi} , y no hay ninguna corriente saliente. Lo mismo ocurre si $s_4 = s_5 = s_6 = 0$ en el nodo v_{csi-} . Por lo tanto, los valores de s que cumplan cualquiera de esas dos condiciones, incluyendo ambas al mismo tiempo, no son válidos.

Resta entonces analizar los casos $s_1 + s_2 + s_3 > 1$ y $s_4 + s_5 + s_6 > 1$. Por simplicidad, se analizará sólo el caso $s_1 = s_2 = s_6 = 1$ con todas las demás llaves abiertas, dado que el razonamiento es el mismo para cualquier otro caso. A su vez, se reemplazarán las llaves s_4 y s_5 , en conjunto con la carga de las fases a y b , por dos fuentes de tensión con las tensiones de las fases v_a y v_b . Como la rama c no interviene en la conmutación, se la obviará del análisis, basta saber que las corrientes i_{inv_a} e i_{inv_b} tienen un camino de retorno al neutro de la fuente.

En estas condiciones, el circuito queda como se observa en la figura 4.4, donde se han incluido diodos serie ideales para enfatizar que las llaves sólo conducen corriente directa. Esto es fundamental para el funcionamiento en esta condición: si las llaves condujeran en inversa, en esta situación se produciría un cortocircuito entre las fases a y b . En cambio, lo que sucede es que la diferencia de tensión $v_a - v_b$ caerá sobre el diodo serie de s_1 si $v_a > v_b$, como se observa en la Figura 4.4a, y análogamente en el diodo serie de s_2 si $v_b > v_a$, como se observa en la Figura 4.4b.

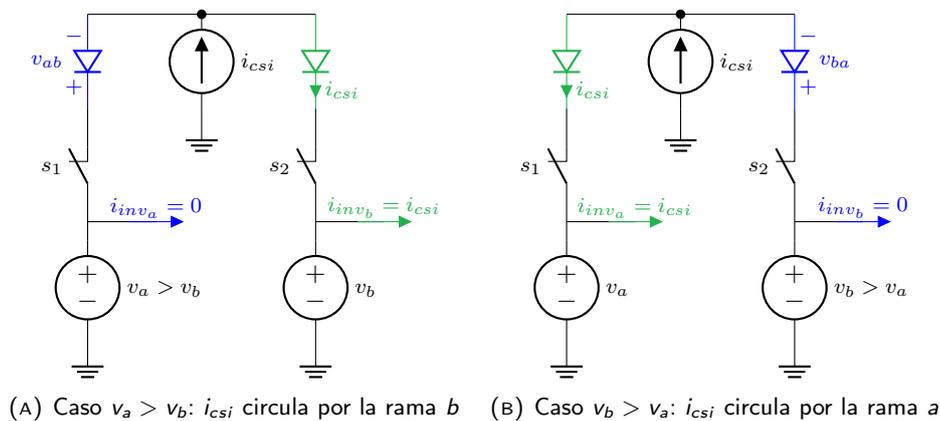


FIGURA 4.4: Modo de falla $s_1 + s_2 + s_3 > 1$

Como no puede circular corriente por la rama cuyo diodo serie está en polarización inversa, resulta que si $v_a > v_b$, entonces $i_{inv_a} = 0$ e $i_{inv_b} = i_{csi}$, y viceversa si $v_a < v_b$. Se llega entonces a la conclusión de que si $s_1 + s_2 + s_3 > 1$, entonces las corrientes de salida no sólo dependen del estado de las llaves, sino también de la tensión de la carga, y por lo tanto no se está controlando la salida del circuito.

Si bien se ha llegado a estas conclusiones a partir de un análisis teórico totalmente ideal, esto lleva a consideraciones reales de cómo debe funcionar el circuito. Las llaves, desde luego, no pueden

conmutar instantáneamente, y no necesariamente tienen el mismo tiempo de encendido que de apagado. Tampoco es correcto caracterizar su salida de manera binaria si se quiere realizar un análisis con llaves reales, ya que durante la transición se tendrán valores intermedios de cuánta resistencia se ofrece al paso de corriente.

Por otro lado, si bien sigue siendo cierto que el modo de falla $s_1 + s_2 + s_3 > 1 \vee s_4 + s_5 + s + s_6 > 1$ implica que el convertidor deje de regular la corriente de salida, el absurdo planteado para el caso $s_1 + s_2 + s_3 = 0 \vee s_4 + s_5 + s + s_6 = 0$ se resolverá en un circuito real cuando se quemara alguna de las llaves para que pueda seguir circulando corriente, es decir que se trata de una falla destructiva. Siendo que durante las conmutaciones, alguna de estas condiciones se cumplirá transitoriamente, se debe garantizar que siempre sea la primera y nunca la segunda, es decir, que la fuente de corriente continua nunca quede conectada a un circuito abierto.

4.2. Llaves de potencia con bloqueo de corriente inversa

Hasta ahora, sólo se han considerado a las llaves como elementos ideales, con dos estados posibles: completamente abierta o completamente cerrada, permitiendo únicamente la circulación de corriente directa en el último caso. Se entrará ahora en más detalles sobre cómo se obtiene este funcionamiento, y cuáles son sus limitaciones.

En principio, el circuito para obtener una llave ideal puede ser tan sencillo como un único transistor MOSFET (junto con su correspondiente circuito de disparo). Sin embargo, los transistores de potencia tienen la característica de tener un diodo intrínseco que conduce corriente en sentido source-drain, incluso cuando el transistor está apagado [10].

Esto se debe a la estructura que se utiliza para construir a los MOSFET de potencia. Sin perder generalidad, se puede entender por qué está este diodo considerando el VDMOS (*vertical double-diffused metal oxide semiconductor*). El mismo consiste en varias celdas en paralelo, cada una de las cuales tiene la estructura observada en la figura 4.5 para un MOSFET con canal N (de nuevo, sin perder generalidad).

Tanto el terminal de source como el de drain están conectados a regiones n^+ , separadas entre sí por el body, que es p^+ , donde se forma el canal cuando se aplica la suficiente tensión al gate.

A la región restante, n^- , se la conoce como región de drift. Su diferencia de dopaje con la región p^+ permite alcanzar mayores tensiones de breakdown, y como también está mucho menos dopada que la región n^+ , se produce en conducción el efecto de doble inyección de portadores (electrones desde el body hacia la región de drift, y electrones desde el drain), con lo cual la resistencia del canal resulta mucho menor que si todo el drain fuese n^- . En resumen, la región de drift permite que el transistor tenga una tensión de breakdown mayor sin que esto sea en desmedro de la resistencia de encendido.

Sin embargo, esta estructura tiene también problemas: aparte del MOS deseado, se forma también un transistor BJT parásito, donde el source funcionaría como el emisor, el body como la base, y el drain y la región de drift como colector. Desde luego, esto podría traer consecuencias indeseadas si se produjera una diferencia de potencial suficiente entre body y source (base y emisor) para prender a este transistor parásito en un momento que el MOSFET debería estar apagado.

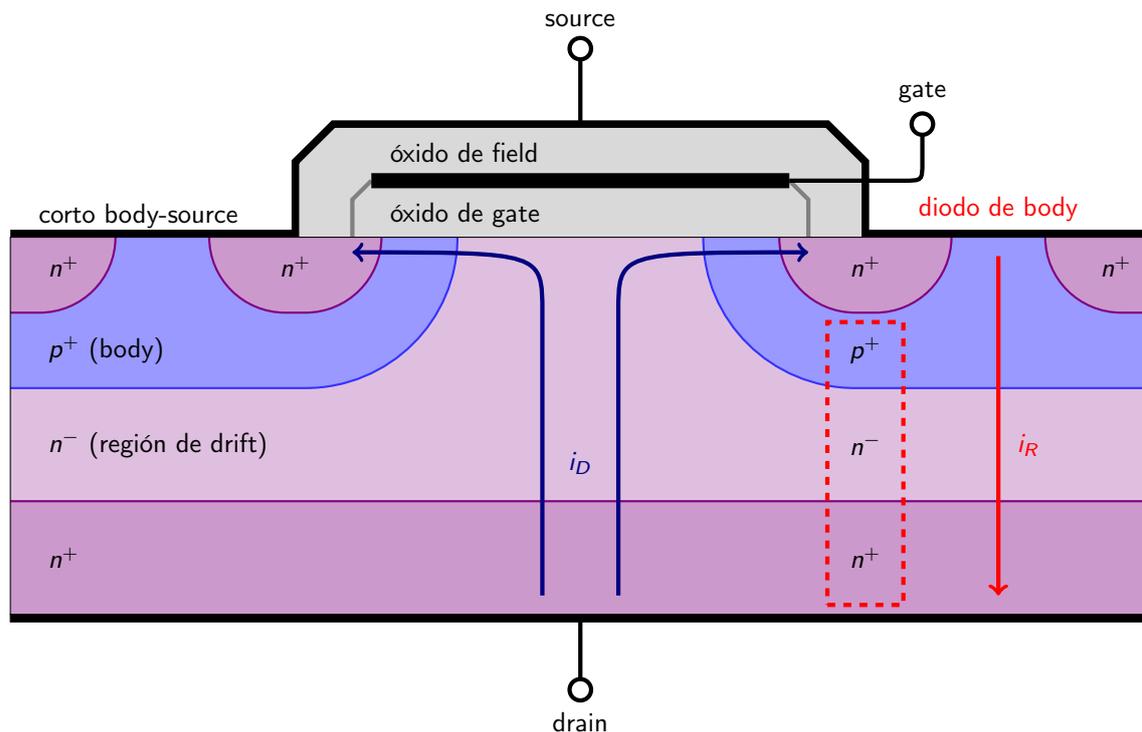


FIGURA 4.5: Estructura de un MOSFET de potencia VDMOS, con su BJT parásito $n^+p^+n^-n^+$, y su diodo de body intrínseco $p^+n^-n^+$

Esto se soluciona, tal como se observa en la figura, cortocircuitando el source y el body, impidiendo que el BJT se pueda encender. Por lo tanto, lo único que persiste de este transistor es su juntura base-colector, es decir entre el body y el drain del MOSFET. Como el body está cortocircuitado con el source, la conclusión final es el transistor tiene un diodo intrínseco entre drain y source, que permite que la corriente circule en sentido inverso (de source a drain) incluso cuando el canal no está formado.

Para entender por qué esto es un problema en un CSI, se volverá a la simplificación del circuito a dos llaves planteado en la subsección anterior, tal como se observa en la figura 4.6. En este caso, se estudiará a modo de ejemplo (pero sin pérdida de generalidad) el caso en el que s_2 está cerrada, s_1 está abierta, y $v_a > v_b$.

En el caso de la Figura 4.6a, se ilustra lo que sucedería si s_1 y s_2 no tuviesen capacidad de bloqueo de corriente inversa. La corriente i_{csi} está circulando por s_2 , con lo cual $v_{csi} = v_b$. Como se ha establecido que $v_a > v_b$ (lo cual depende de la carga, y por lo tanto es una condición válida y no controlable por el invertidor), podría circular corriente a través del diodo intrínseco de s_1 , y por lo tanto $v_{csi} = v_a$. Se ha llegado entonces a una contradicción: este circuito no cumple la ley de mallas de Kirchhoff. En la práctica, esto produciría un pico de corriente destructivo en s_1 y s_2 .

Es por esto que es necesario bloquear la circulación de corriente inversa en las llaves de un CSI. En la Figura 4.6b, se observa cómo, al agregar diodos serie a las llaves por los que sólo puede circular corriente en el sentido establecido por la fuente de entrada, la diferencia de tensión $v_a - v_b$ cae en el diodo serie de s_1 , bloqueando la corriente inversa por esta llave.

Cabe destacar que esta característica es necesaria no sólo cuando la llave está apagada, sino

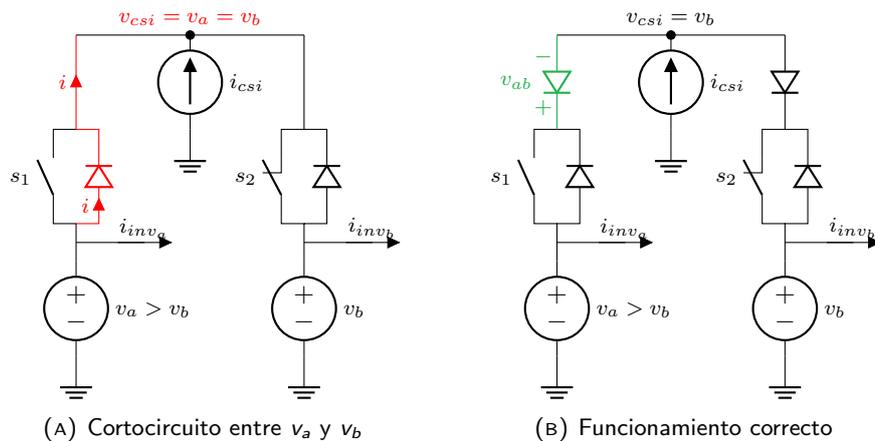


FIGURA 4.6: Consecuencias de la falta de capacidad de bloqueo de corriente inversa en las llaves de un CSI

también durante el tiempo de overlap, como se explica en la sección anterior. En la [Figura 4.4](#), se observa cómo la presencia de un diodo serie es fundamental para que no se produzca un cortocircuito entre las fases, de la misma manera que sucede en la [Figura 4.6a](#). En el único momento en el que no se produce un cortocircuito si una llave conduce corriente en ambos sentidos es cuando la fuente de corriente sólo puede circular por dicha llave, y por lo tanto fuerza la dirección de la corriente en la llave de todas maneras. Este es el caso cuando la llave está cerrada fuera del tiempo de overlap de la conmutación, es decir cuando las otras dos llaves del mismo hemicircuito están cerradas.

En este proyecto se analizarán dos formas de solucionar este problema: colocando en serie un diodo que impida el paso de corriente inversa, o utilizando dos transistores en anti-serie. Estas dos configuraciones están ilustradas en la [figura 4.7](#).

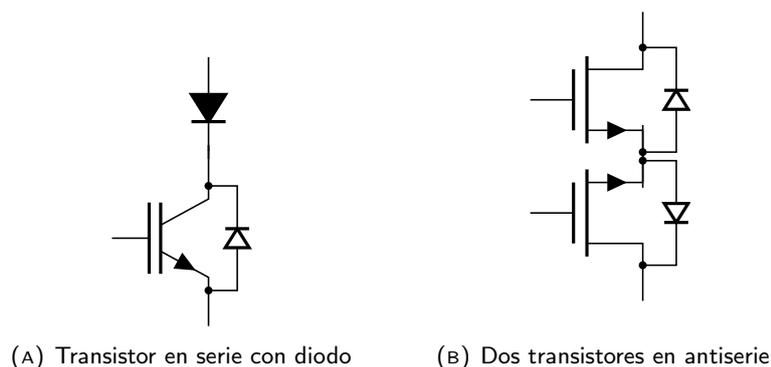


FIGURA 4.7: Topologías de llave con bloqueo en inversa

4.3. Las limitaciones teóricas del silicio

A la hora de elegir una llave de potencia, existen tres características de gran importancia[11]:

- velocidad de conmutación alta.

- tensión de bloqueo alta
- resistencia de encendido pequeña

La primera permite utilizar utilizar inductores y transformadores de menor tamaño, lo cual hace que el convertidor sea no sólo más pequeño, sino también más barato y eficiente (al reducirse la resistencia serie equivalente de estos componentes), mientras que la segunda permite las llaves para aplicaciones de alta potencia, y la tercera es para no comprometer las pérdidas por conducción.

Existen dispositivos llamados *wide bandgap semiconductors* (semiconductores de banda amplia) que tienen limitaciones teóricas menos restrictivas que las del silicio para aplicaciones de alta tensión. Entre estos se encuentran los ya mencionados SiC y GaN.

En lo que a la velocidad de conmutación respecta, los dispositivos *wide bandgap* pueden cambiar de estado en tiempos órdenes de magnitud menores que los de silicio. En estos dispositivos, la frecuencia de conmutación está determinada sobre todo por la velocidad de los electrones en saturación[6]. Este parámetro es de 1.5×10^7 cm/s para el GaN y 2.2×10^7 cm/s para el SiC, mientras que en el silicio, su valor es la mitad de este último.

Sin embargo, para que entren en juego las velocidades previamente mencionadas, el dispositivo tiene que estar sometido a un campo eléctrico lo suficientemente grande como para que los electrones lleguen a su velocidad de saturación. Este valor, conocido como campo eléctrico de saturación, es entre 2 y 8 veces más alto para los dispositivos *wide bandgap* que los tradicionales de silicio. Es decir: puede obtenerse una mejor performance en frecuencia con SiC o GaN que con Si, pero es necesario que se esté trabajando con tensiones de bloqueo elevadas (comercialmente, los mayores fabricantes sólo proveen productos de tensiones nominales de al menos 600V).

En cuanto a la segunda y tercera características mencionadas como deseables en una llave de potencia, que bloquee tensiones elevadas y simultáneamente tenga una resistencia de encendido pequeña, surge el problema de que hay una correlación positiva entre estos dos parámetros. Esto se debe a que para poder bloquear más tensión, se requiere que la zona de depleción sea más ancha (de manera tal que la tensión esté aplicada a una distancia mayor, y por lo tanto el campo eléctrico sea menor), lo cual a su vez resulta en una resistencia mayor.

Expresando la resistencia específica R_{SP} de manera independiente del área de la zona de depleción, se puede establecer la siguiente relación entre R_{SP} y la tensión de bloqueo V_B [11]:

$$R_{SP} = \frac{4V_B^2}{\epsilon_0 \epsilon_R \mu_n E_{cr}^3} \quad (4.12)$$

Donde:

V_B tensión de bloqueo

R_{SP} resistencia específica de encendido

ϵ_0 permitividad del vacío (aproximadamente 8.85×10^{-14} F/cm)

ϵ_R permitividad relativa

E_{cr} campo eléctrico crítico

μ_n movilidad de los electrones

Es decir, la resistencia específica de un transistor será proporcional al cuadrado de su tensión de bloqueo. La constante de proporcionalidad está dada por constantes que dependen fundamentalmente del material. En la tabla 4.4 se tienen los valores típicos de estas constantes para el Si, el SiC y el GaN[12].

Parámetro	Descripción	Unidades	Si	SiC	GaN
ϵ_R	Permitividad relativa	Adimensional	11.9	10.0	9.5
E_{cr}	Campo eléctrico crítico	V/cm	0.25×10^6	2×10^6	3.3×10^6
μ_n	Mobilidad de los electrones	cm^2/Vs	500	140	1000

TABLA 4.4: Valores típicos de ϵ_R , E_{cr} y μ_n para Si, SiC y GaN

Aplicando los valores de la tabla 4.4 a la ecuación 4.12, pueden compararse los valores de R_{SP} que se obtienen para cada material con un V_B dado. Con dicha metodología se elaboró el gráfico que se observa en la figura 4.8.

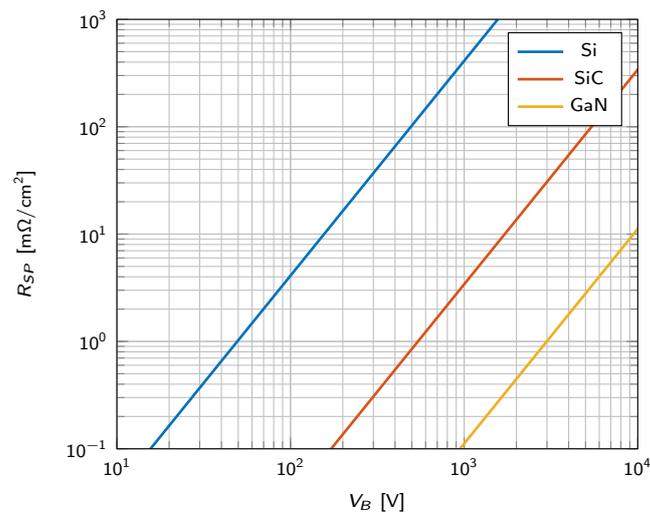


FIGURA 4.8: Límites teóricos de la relación entre R_{SP} y V_B para el Si, el SiC y el GaN

Esta figura representa un límite teórico de la relación entre la resistencia de encendido y la tensión de bloqueo: para un canal con la misma área, la resistencia de encendido total nunca podrá ser menor que la calculada a partir de multiplicar el valor obtenido de la fórmula 4.12 por el área, ya que ésta será la resistencia únicamente de la zona de drift, y aunque entren en juego otras resistencias, siempre se sumarán a este valor.

Se observa que para una tensión V_B dada, el valor de R_{SP} es un orden de magnitud mayor para un dispositivo de SiC que para uno de GaN, y dos órdenes mayor para Si que para SiC. Esto quiere decir que para un CSI de una corriente de entrada i_{dc} dada, las pérdidas de encendido en las llaves pueden ser, en teoría, hasta 10 veces menores utilizando SiC en lugar de Si, y hasta 100 veces menores utilizando GaN en lugar de Si.

4.4. Estado del arte

A nivel comercial, actualmente dominan los dispositivos de silicio. Los de carburo de silicio y nitruro de galio llegaron al mercado en la última década, y sus costos son considerablemente más elevados que los de los componentes tradicionales. Tan recientemente como 2015 se postulaba que mientras no haya avances significativos en cuanto al proceso de manufactura de estos dispositivos, su aplicación continuará siendo *niche* [4].

Sin embargo, como ya se discutió, estos dispositivos tienen características prometedoras para aplicaciones en alta tensión, potencia, temperatura y frecuencia [4][5]. Por lo tanto, sigue realizándose investigación sobre las aplicaciones de estos dispositivos.

Parte de la investigación actual se basa en propuestas de nuevas estructuras de transistor, como MOSFET basados en SiC con reverse blocking [7], o topologías distintas como CAVET (current aperture vertical electron transistor) en cascode utilizando GaN [13]. Si bien en la mayoría de estos proyectos (en particular, en los dos mencionados) se llega a resultados que prácticamente hacen parecer obsoleto al silicio (al menos en cuanto a resultados, ya que no se entra en mucho detalle sobre el costo de fabricación de cada dispositivo ni qué tan propenso a fallas es), el hecho de que sean sólo prototipos sin comercialización masiva los excluye del alcance de este trabajo.

Por otro lado, existen varias publicaciones que analizan el estado de los dispositivos comercialmente disponibles basados en estas nuevas tecnologías. Si bien en [14] se observan características considerablemente superiores en distintos dispositivos de SiC respecto del Si, y similarmente con GaN [15], varios autores expresan preocupación de que no sólo los dispositivos son más propensos a fallas [5], sino que la información provista en la *data sheet* de estos componentes puede ser menos confiable que la del Si, e incluso incompleta [4].

A su vez, se han realizado estudios de la performance de componentes basados en SiC o GaN para aplicaciones concretas con considerable éxito (considerando éxito como mejorar la eficiencia del sistema). En [9], al cambiar las llaves de silicio por GaN para el control de un motor de imán permanente se lograron reducir las pérdidas de switching a aproximadamente la mitad, y las del sistema aún más, lo que permitió aumentar la frecuencia de operación. Esto se realizó en condiciones de 600V y 15A, con lo cual resulta particularmente relevante para este proyecto (si bien fue con un convertidor fuente de tensión y no de corriente).

En cuanto a módulos basados en SiC, se han obtenido resultados muy prometedores en su aplicación a *smart grids* [2], que postula que debería usarse SiC MOSFET para aplicaciones debajo de 15kV. Si bien sus resultados son prometedores, sólo se analizan convertidores trabajando a más de 1kV.

Uno de los trabajos más cercanos al de este proyecto es un análisis comparativo realizado en 2014, que evalúa el impacto de distintas tecnologías en la performance de las llaves de un convertidor fuente de corriente [16]. Se llega a conclusiones relevantes para este proyecto, como el hecho de que las pérdidas fueron mejores para SiC MOSFET y diodo de silicio que para IGBT y diodo de silicio, y las menores pérdidas totales se dieron con un reverse blocking IGBT, a costo de tiempos de conmutación más lentos. Sin embargo, no se analiza en este trabajo la topología propuesta, de dos MOSFET en antiserie, ni se estudia ningún dispositivo basado en GaN.

Capítulo 5

Metodología

5.1. Plan de validación

El criterio para la comparación entre llaves deberá tener en cuenta los siguientes factores:

- potencia media disipada durante un período, relativa a la que disiparía la llave original
- precio de los componentes de la llave, comparada con la original
- si la configuración en “diodo en serie con transistor” o “transistor en antiserie con transistor”, dado que esta última conlleva un aumento considerable de complejidad

Las llaves utilizadas y sus características relevantes se encuentran en las tablas 5.1 y 5.2.

5.1.1. Componentes utilizados

Identificador	Componente	Modelo	V_{max} [V]	I_{max} [A]	r_{ds} [m Ω]	Costo [USD]
A	MOSFET SiC	C2M0025120D	1200	90	43	69.80
B	MOSFET SiC	C3M0120090D	900	23	170	6.43
C	MOSFET SiC	C2M0160120D	1200	19	290	8.33
D	MOSFET GaN	TP90H050	900	34	50	18.21
E	IGBT Si	IRG4PC40UD	600	40	140	3.60
F	IGBT Si	IRG4PF50W	900	28	180	6.43

TABLA 5.1: Transistores utilizados en las simulaciones

Identificador	Componente	Modelo	V_{max} [V]	I_{max} [A]	V_{fwd} [V]	Costo [USD]
1	Diodo Si	STTH15R06	600	15	1.4	1.60
2	Diodo Si	STTH6012W	1200	60	1.3	4.38
3	Diodo SiC	GP2D020A120B	1200	20	1.6	14.20

TABLA 5.2: Diodos utilizados en las simulaciones

5.2. Diseño de simulaciones

5.2.1. Simulaciones del CSI

Se utilizó un esquemático común entre todas las simulaciones, donde la llave bajo testeo está representada por un subcircuito. De esta manera, basta cambiar el subcircuito por un nuevo modelo para realizar la simulación con los mismos parámetros para otro modelo de llave.

El esquema del convertidor puede observarse en la [Figura 5.1](#). Los elementos $X_{1,6}$ representan las llaves, que dependiendo de la llave utilizada apuntan a subcircuitos distintos. Un ejemplo de subcircuito para un par transistor-diodo en particular se observa en la [Figura 5.2](#).

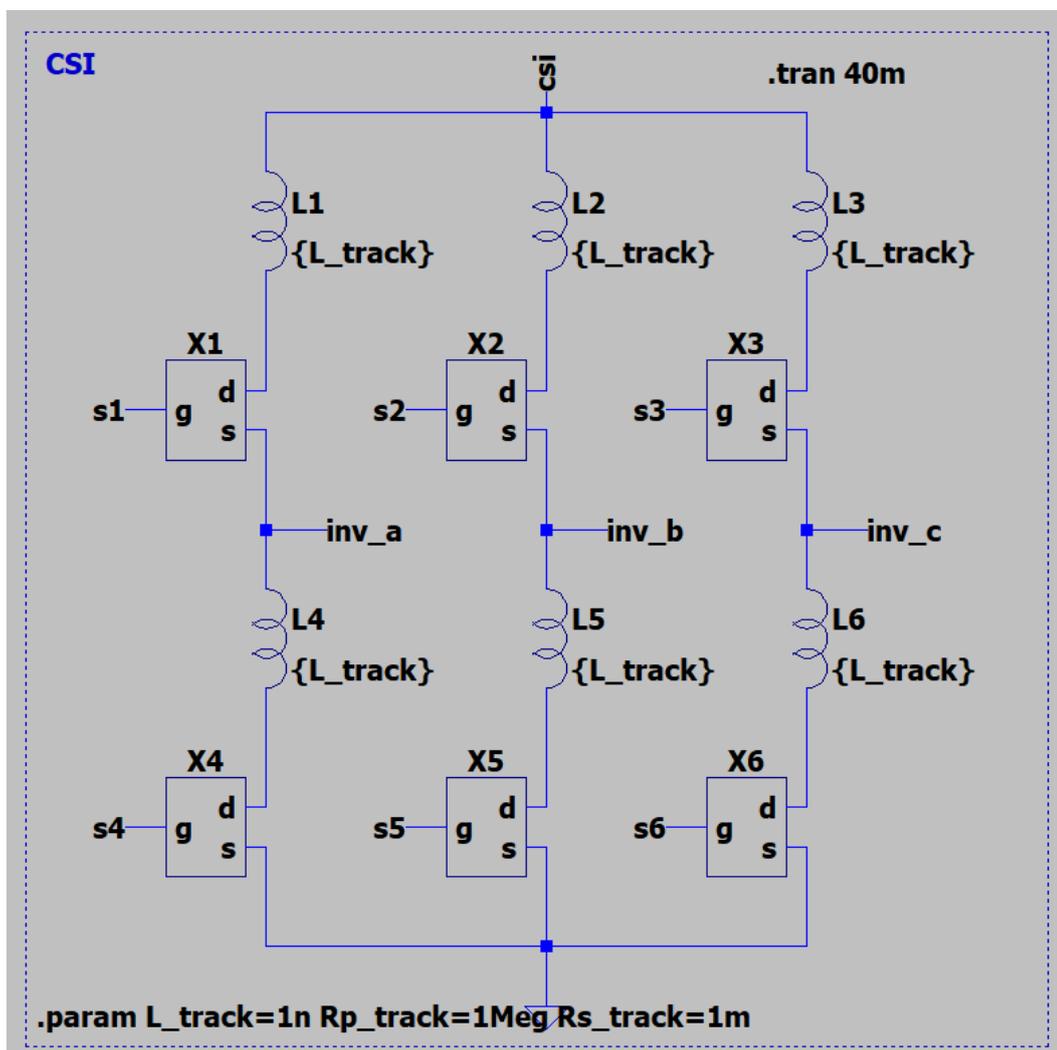


FIGURA 5.1: Esquema del CSI en las simulaciones

En cuanto a los parámetros utilizados en las simulaciones, los mismos se encuentran listados en la [Tabla 5.3](#) y en la [Tabla 5.4](#).

La primera de dichas tablas contiene las características básicas del convertidor modelado: corriente de entrada, carga, características de la fuente de corriente. Asimismo, se especifica la señal que se obtiene a la salida, a través de factores como la frecuencia de la línea y el índice de

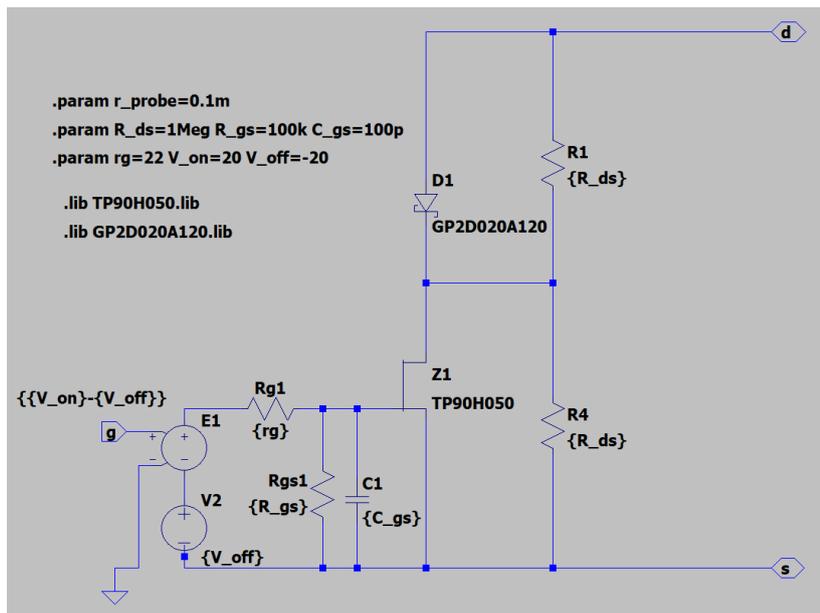


FIGURA 5.2: Ejemplo de subcircuito de llave con topología diodo serie

Parámetro	Descripción	Valor
i_{dc}	Corriente máxima de salida	10A
v_o	Tensión pico máxima de salida	539V
R_L	Resistencia de carga	26Ω
L_L	Inductancia de carga	20mH
L_{dc}	Inductancia DC	240mH
C_f	Capacidad de filtrado	$3.3\mu\text{F}$
m	Índice de modulación de amplitud	0.8
f_L	Frecuencia de línea	50Hz
m_f	Índice de modulación de frecuencia	63

TABLA 5.3: Parámetros del CSI

modulación en frecuencia.

Para que estos últimos parámetros se cumplan, se generaron señales de control para alimentar las señales $s_{1,6}$ de la [Figura 5.1](#) de manera tal que se obtenga la señal deseada en la carga.

En cuanto a los parámetros contenidos en la [Tabla 5.4](#), se tratan de configuraciones adicionales para simular condiciones más cercanas a las de un circuito real: resistencia e inductancia de pistas, resistencia entre el neutro de la tierra y el de la carga, características de filtros en la entrada y salida de los transistores. Los valores de esta tabla se determinaron de manera heurística, partiendo de valores en el orden de magnitud de los esperados y fijándolos cuando en las simulaciones no se presentaban picos de tensión o corriente que comprometen el funcionamiento de los modelos de transistores y diodos.

Parámetro	Descripción	Valor
L_{track}	Inductancia de las pistas	1nH
$r_{p track}$	Resistencia paralelo de las pistas	1M Ω
$r_{s track}$	Resistencia serie de las psitas	1m Ω
r_f	Resistencia serie capacitor de filtrado	0.1 Ω
R_{ds}	Resistencia drain-source	1M Ω
R_{gs}	Resistencia gate-source	100k Ω
C_{gs}	Capacidad gate-source	100pF
R_{Ip}	Resistencia del filtro pasabajos	1 Ω
C_{Ip}	Capacidad del filtro pasabajos	1nF
$r_{probe a}$	Resistencia de <i>probe</i> de la línea A	1m Ω
$r_{probe b}$	Resistencia de <i>probe</i> de la línea B	2m Ω
$r_{probe c}$	Resistencia de <i>probe</i> de la línea C	3m Ω
R_{Lnt}	Resistencia entre tierra y neutro de las líneas	1M Ω

TABLA 5.4: Parámetros de la simulación

Fuente de corriente

En todas las simulaciones, se utilizó un modelo simplificado de fuente de corriente, que puede observarse en la [Figura 5.3](#).

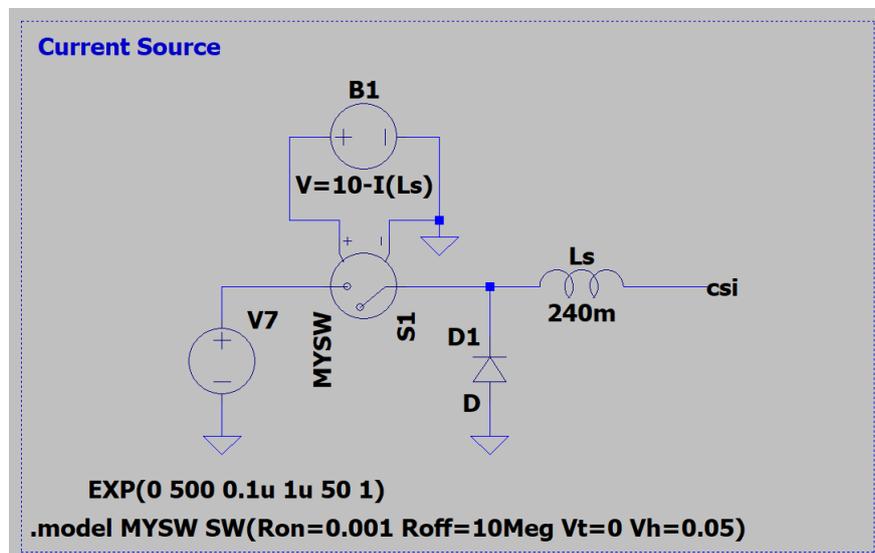


FIGURA 5.3: Modelo de fuente de corriente utilizado en las simulaciones

Este modelo surge de dos necesidades. En primer lugar, tratar de comenzar la simulación en el estado estacionario (o cerca del mismo) a través de forzar tensiones y corrientes iniciales presenta dificultades en cuanto a la cantidad de tensiones y corrientes que deben fijarse para que el estado del circuito sea válido. En segundo lugar, si la corriente de entrada es perfectamente constante se dificulta la convergencia de la simulación en cada paso.

Este modelo de circuito soluciona ambos problemas. La llave S_1 es controlada por la corriente de L_s (es decir, i_{csi}): se apaga cuando $i_{csi} > 10A$, con una histéresis de 0.05A. Como la corriente

inicial es 0, comienza encendida, y se apaga cuando i_{csi} supere 10.05A. Al estar S_1 encendida, la tensión del diodo D_1 es igual a la de la fuente V_7 , que es una curva exponencial que va de 0V a 500V con un t_{rise} de $100\mu s$. Este valor de tensión final es tal que siempre es mayor que v_{csi} , y por lo tanto la tensión sobre L_s siempre es positiva, y la corriente crecerá continuamente mientras que la llave B_1 esté abierta.

Cuando la corriente i_{csi} supere el valor límite de 10.05A, B_1 se cerrará. Al ocurrir esto, comienza a circular corriente a través del diodo D_1 para mantener la corriente de L_s , que al descargarse sufre una reducción paulatina de su corriente. Este proceso continúa hasta que i_{csi} llega a 9.95A, momento en el cual la llave B_1 vuelve a cerrarse. El circuito ha llegado entonces a su estado estacionario, con la corriente i_{csi} oscilando entre 9.95A y 10.05A, con la bobina L_s de 240mH garantizando que la corriente de entrada tendrá una tasa de cambio lenta, y que no se producirán saltos en su valor.

Carga trifásica

La carga trifásica utilizada está compuesta por tres partes, que pueden observarse en la [Figura 5.4](#). Dichas partes son: la carga inductiva-resistiva propiamente dicha en configuración estrella, el banco de capacitores en configuración triángulo, y resistencias serie para medir las corrientes de salida del inverter.

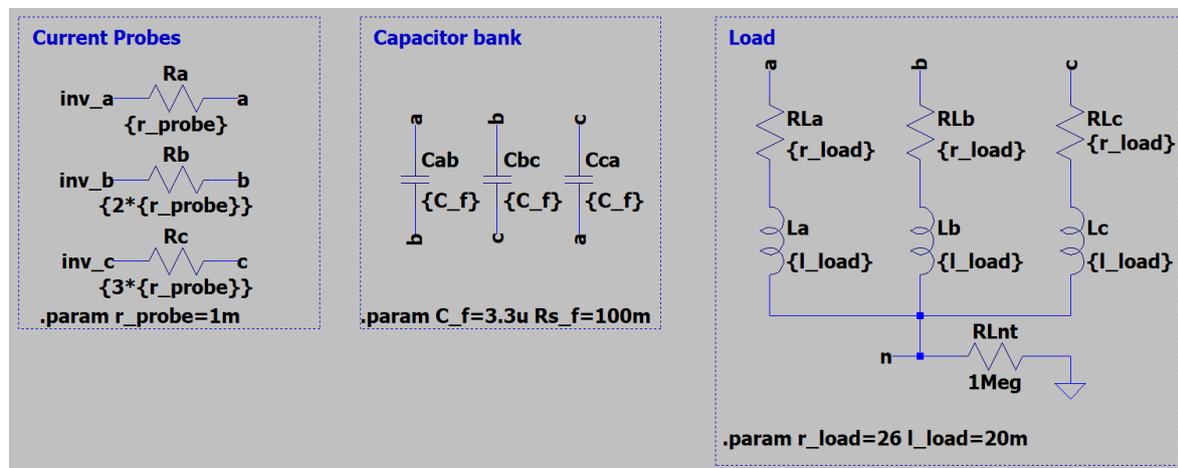
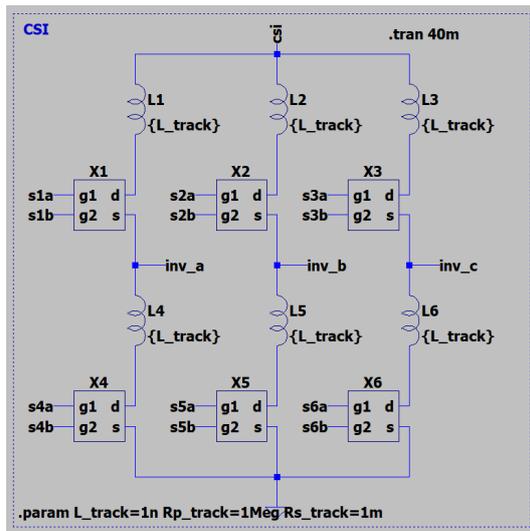


FIGURA 5.4: Carga de las simulaciones

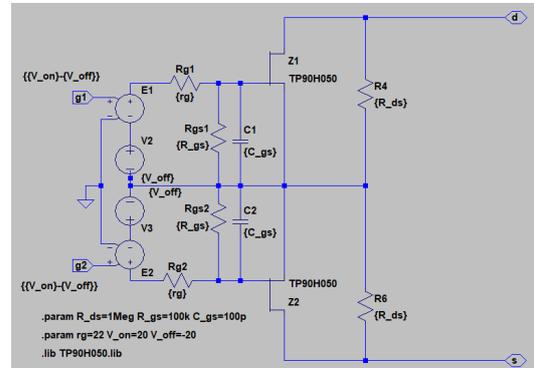
La carga en sí misma y el banco de capacitores son simétricos, pero no así las resistencias utilizadas para medir las corrientes. Esto permite que cumplan un doble propósito: además de proporcionar un punto de fácil sensado de la corriente de salida de cada línea del inverter, que de lo contrario se dividiría entre las llaves, introducen una pequeña asimetría en el circuito que facilita la convergencia de la simulación.

CSI con llaves con topología antiserie

La excepción a este método fue el caso de las llaves con transistores en antiserie. Como se explicará en la [Sección 6.2](#), fue necesario separar las señales de control para cada transistor. Esto



(A) CSI con dos señales de control por llave



(B) Ejemplo de subcircuito de llave con topología antiserie

FIGURA 5.5: Cambios requeridos para las simulaciones con llaves con topología antiserie

resultó en la necesidad de tener un segundo esquemático base, que comparte con el primero la fuente de corriente y la carga, pero con el doble de señales de control, y subcircuitos para las llaves con dos señales de control en lugar de una.

5.2.2. Simulaciones de conmutación de par de transistores en antiserie

Para analizar el caso particular de la conmutación, se realizó una segunda serie de simulaciones, con el objetivo de verificar el correcto bloqueo de corriente inversa durante la totalidad de la conmutación en ambas llaves.

El circuito utilizado representa una simplificación del estado del CSI en el momento de una conmutación. Sin perder generalidad, se analizó el momento en el cual se quiere apagar la llave s_2 y encender s_1 , con s_4 encendida y s_3 , s_5 y s_6 apagadas durante la totalidad del proceso. A fines de este análisis, entonces, se omite la rama c (con las llaves s_5 y s_6), se reemplaza s_4 por un cable, y s_5 como una fuente de tensión. Cabe destacar que si bien es cierto que la corriente no puede circular por s_5 , al representarla como una fuente de tensión se simula simultáneamente el drenaje de corriente a la carga controlado por el convertidor. Se utilizó la misma fuente que en la simulación del CSI.

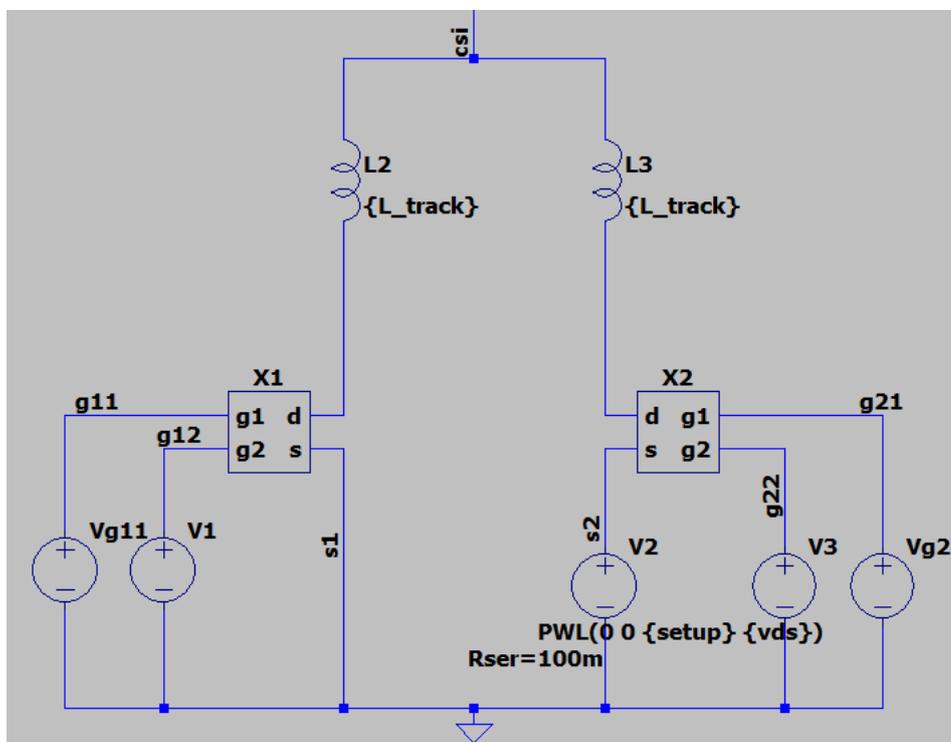


FIGURA 5.6: Esquemático de conmutación simplificada

Capítulo 6

Resultados

6.1. Introducción

Los resultados de este proyecto se produjeron en dos etapas. En primer lugar, fue necesario obtener un método para realizar una conmutación entre dos llaves compuestas de dos transistores en antiserie, garantizando bloqueo de corriente inversa durante la totalidad de la transición.

Una vez desarrollado este método, se pudo proceder a realizar las simulaciones del CSI con las señales de control apropiadas para estas llaves. De dichas simulaciones se desprenden los resultados inicialmente buscados, es decir, la potencia disipada en cada llave.

6.2. Conmutación de dos transistores en antiserie en un CSI

Al reemplazar el diodo serie de la llave tradicional con un transistor en antiserie, se produce un cambio fundamental: la llave conduce corriente en ambos sentidos cuando esta encendida. Como se planteó inicialmente, esto conlleva la ventaja de que se se puede invertir la circulación de corriente en el CSI. Sin embargo, trae complicaciones cuando se quiere cambiar el estado de las llaves.

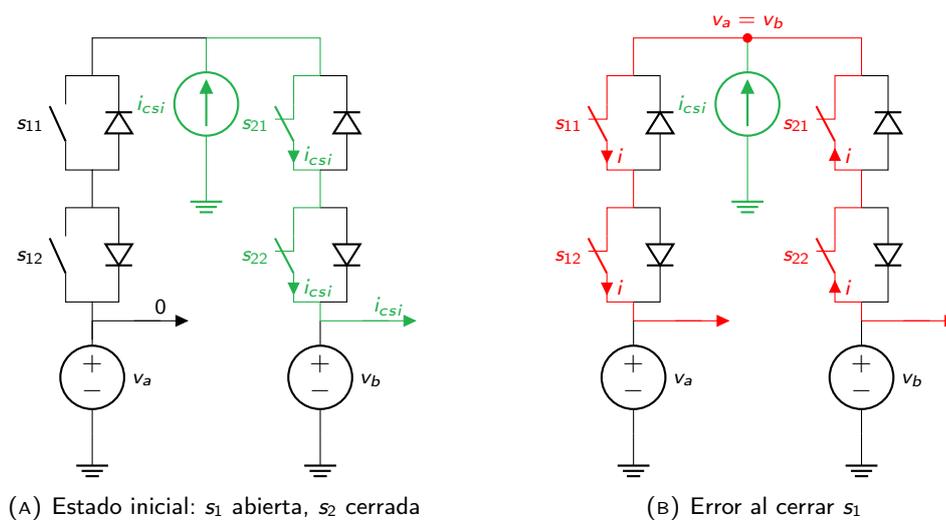


FIGURA 6.1: Cortocircuito entre fases durante el tiempo de overlap

Si estas llaves se operasen de la misma manera que si tuvieran un diodo en serie, durante el tiempo de overlap se produciría un cortocircuito entre las fases, ya que no hay ningún elemento que

bloquee la corriente inversa. Este error se observa en la [Figura 6.1](#), donde queda en evidencia que al encender todos los transistores, se produce un cortocircuito entre las fases. Si bien las fuentes de corriente v_a y v_b son simplificaciones y la carga conectada es pasiva, el problema es real: los capacitores de filtrado se encuentran en este punto cargados con tensiones distintas que dependen de la carga, y se están poniendo en paralelo al realizar esta transición.

Queda en evidencia entonces que es necesario controlar cada transistor de cada llave por separado durante la conmutación para evitar este escenario, de manera tal que se garantice el bloqueo de corriente inversa durante la totalidad del proceso. Para explicar el procedimiento desarrollado, se analizará la conmutación planteada en la [Figura 6.1](#), llamando s_{j1} al transistor superior de cada llave s_j (cuyo diodo intrínseco conduce corriente inversa en s_j), y s_{j2} al inferior (cuyo diodo intrínseco conduce corriente directa en s_j). De esta manera, los transistores s_{11} y s_{12} son parte de la llave s_1 , y s_{21} y s_{22} , parte de la llave s_2 . Esta nomenclatura está representada en la [Figura 6.1](#).

En el estado inicial, tanto s_{21} como s_{22} están cerradas, y por lo tanto s_2 permite el paso de corriente inversa. Esto no es un problema mientras que s_1 esté apagada, ya que la fuente de corriente forzará corriente directa por s_2 , pero si s_1 pudiese conducir corriente directa, las fases entrarían en corto. Por lo tanto, no puede cerrarse s_{11} , ya que en este caso s_1 podría conducir corriente directa a través del diodo intrínseco de s_{12} y se produciría el problema previamente descrito. Por otro lado, si se cerrase s_{12} , s_1 podría conducir corriente inversa a través del diodo intrínseco de s_{11} , produciendo el problema análogo. Por último, si se apagase s_{21} , s_2 no conduciría corriente directa, y por lo tanto la única opción viable es abrir s_{22} , tal como se muestra en la [Figura 6.2](#). De esta manera, tanto s_2 como s_1 pueden bloquear corriente inversa, mientras que sólo s_2 conduce corriente directa.

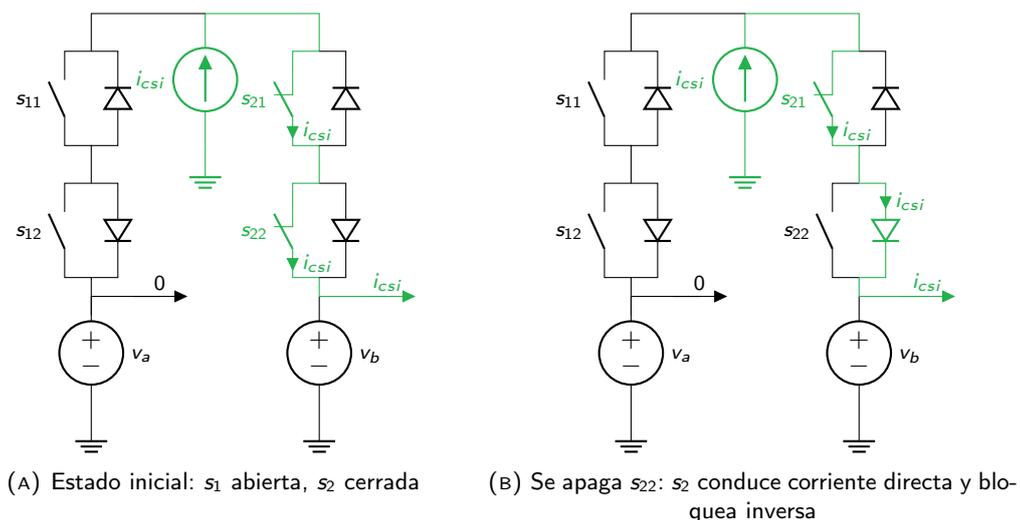


FIGURA 6.2: Modelo simplificado de una conmutación, paso 1

En el paso siguiente, nuevamente sólo hay una opción que no resulta en un estado prohibido. Si se apagase s_{21} , s_2 perdería la capacidad de conducir corriente directa, lo cual no es válido porque i_{csi} necesita una rama para circular. Si se encendiese s_{12} , al igual que en paso anterior, s_1 conduciría corriente en inversa, y las fases entrarían en corto. Por lo tanto, se debe encender

s_{11} , como se muestra en la [Figura 6.3](#). De esta manera, ambas llaves conducen corriente inversa y bloquean corriente directa. Esto es análogo a lo que sucede durante el tiempo de overlap cuando la llave tiene un diodo en serie, que se ha podido replicar utilizando los diodos intrínsecos de los transistores.

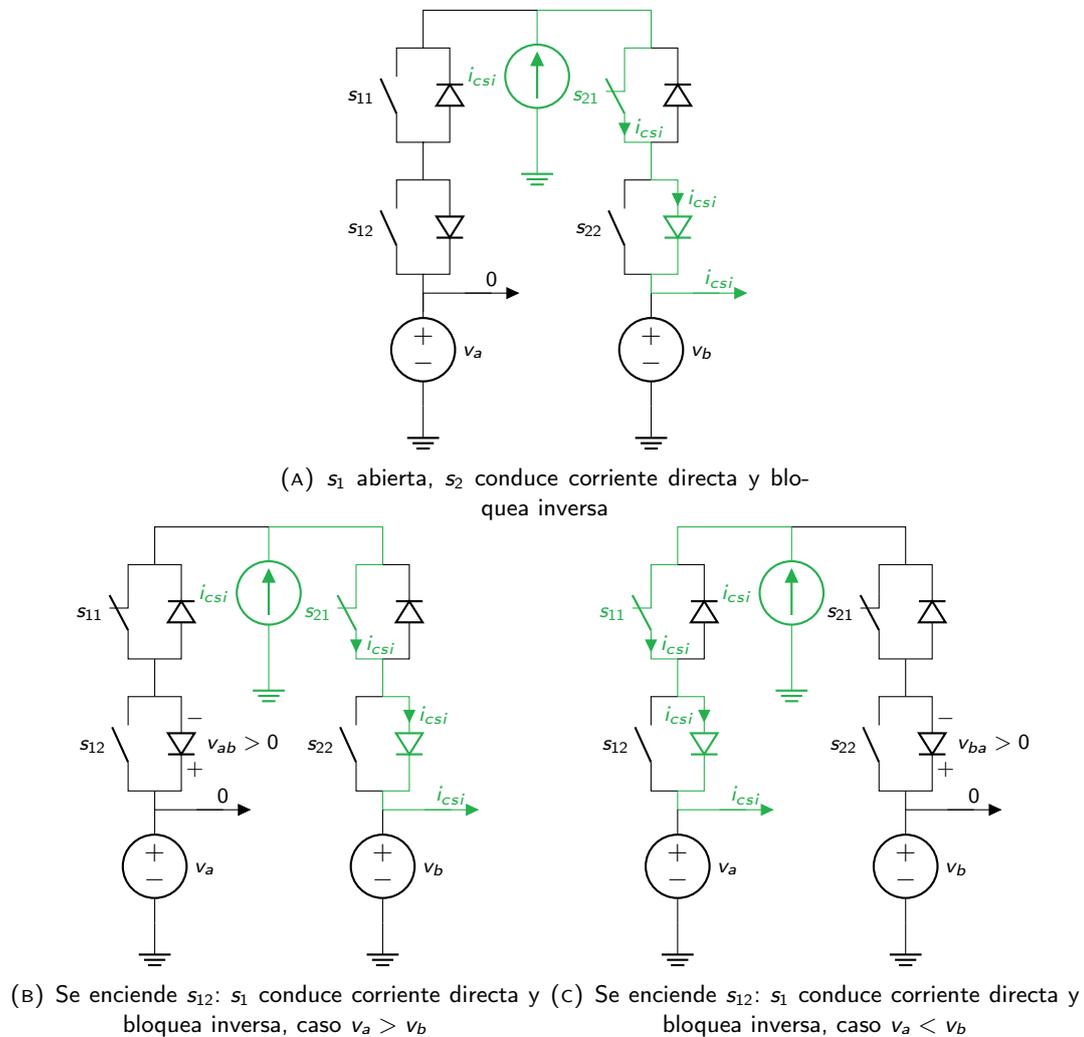


FIGURA 6.3: Modelo simplificado de una conmutación, paso 2

Una vez que se enciende s_{12} , el comportamiento de las llaves es similar al que se tiene cuando las llaves tienen diodos en serie, ya que cada una tiene transistor encendido y uno apagado de manera tal que su diodo intrínseco bloquee corriente inversa, que es lo que sucede durante el tiempo de overlap. Entonces, al igual que sucedería con las llaves tradicionales, la circulación de corriente depende de las tensiones v_a y v_b , y por lo tanto de la carga. Si $v_a > v_b$, sucederá lo que se muestra en la [Figura 6.3b](#): el diodo intrínseco de s_{12} continuará bloqueando la corriente inversa que circularía por s_{11} , y las tensiones y corrientes en las llaves no se ven modificadas. Si en cambio $v_b > v_a$, se producirá el cambio que se observa en la [Figura 6.3c](#). De manera análoga al caso anterior, el diodo intrínseco de s_{22} bloqueará la corriente inversa que circularía por s_{22} , y por lo tanto i_{csi} pasará a circular por s_{11} .

Si en este punto se encendiese s_{12} , s_1 podría conducir corriente inversa, lo cual sería un problema dado que podría circular por s_2 , que aún conduce corriente directa. Por lo tanto, como se muestra en la [Figura 6.4](#), se debe apagar s_{21} . De esta manera, s_2 queda completamente apagada, bloqueando tanto corriente inversa como directa.

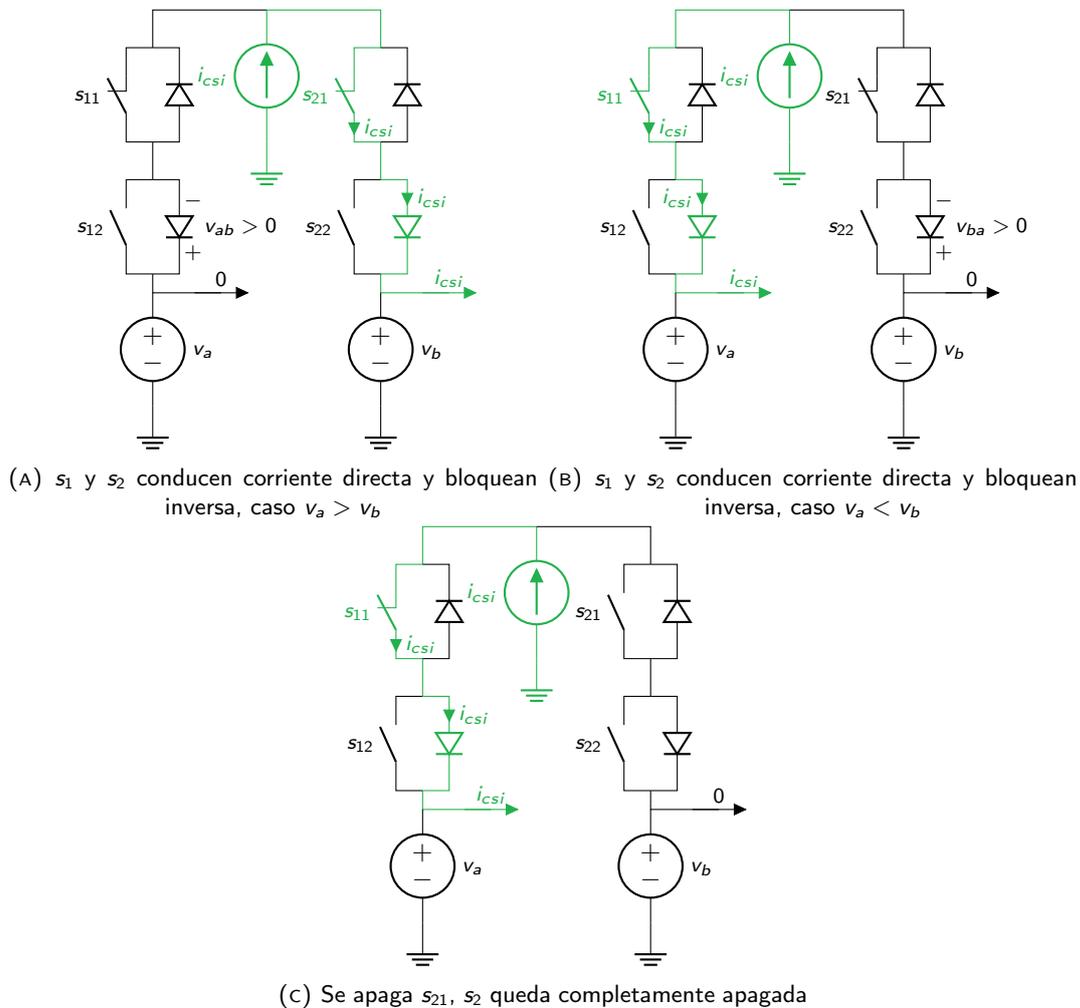


FIGURA 6.4: Modelo simplificado de una conmutación, paso 3

Si se parte del caso $v_a > v_b$, ilustrado en la [Figura 6.4a](#), la circulación de corriente cambia en este paso. Si en cambio se estuviese en el caso $v_b > v_a$, como se ve en la [Figura 6.4b](#), de manera análoga a lo que se observó en el paso anterior para $v_a > v_b$, no se produce ningún cambio en las corrientes y tensiones de las llaves.

En este punto, teóricamente el convertidor puede continuar funcionando sin más cambios: la corriente de entrada está circulando por la rama deseada, s_1 , y la llave que se estaba usando anteriormente está completamente cerrada. De hecho, este estado es similar a lo que sucede cuando la llave consiste de un transistor en serie con un diodo, con la salvedad de que el diodo en este caso es el intrínseco de un transistor en lugar de un componente discreto. Sin embargo, de esta manera se estarían perdiendo dos de las principales ventajas de usar la configuración antiserie: bidireccionalidad de conducción de corriente cuando la llave está encendida, y una caída de tensión

con un límite teórico no acotado por la tensión directa de un diodo. Por lo tanto, para completar la conmutación se enciende s_{12} , tal como se observa en la [Figura 6.5](#).

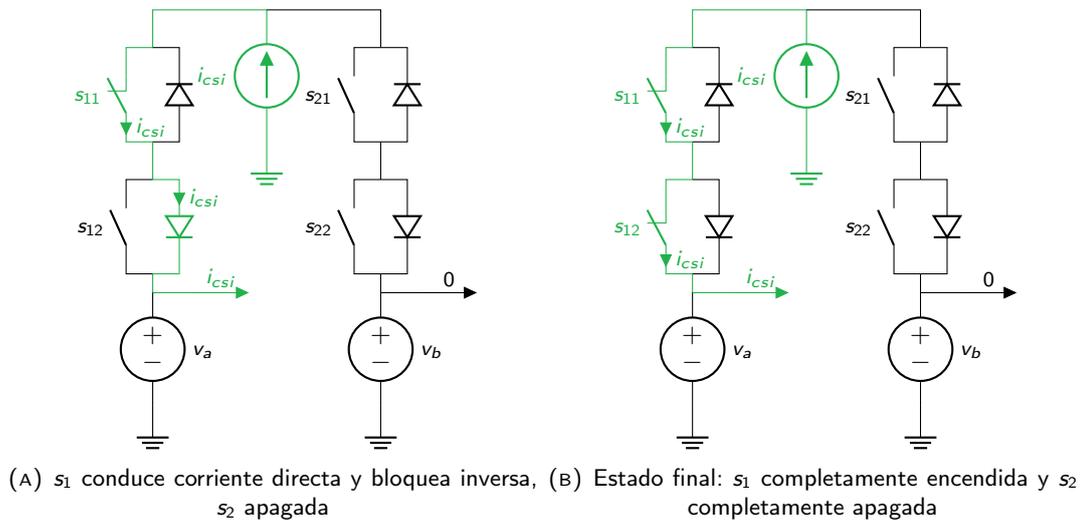


FIGURA 6.5: Modelo simplificado de una conmutación, paso 4 (final)

La evolución en el tiempo de las señales relevantes en las llaves se pueden observar en la [Figura 6.6](#). Se observa cómo inicialmente la corriente circula a través del canal de los dos transistores de s_{11} , que se encuentra completamente abierta. Al apagar s_{12} , la corriente de este transistor continúa circulando por su diodo intrínseco. Luego se enciende s_{21} , comenzando el tiempo de overlap. En este caso en particular, se observa que las tensiones y corrientes analizadas no cambian, y por lo tanto se puede deducir que $v_a > v_b$. Una vez apagada s_{11} , la corriente pasa a circular en su totalidad por s_{21} , a través del diodo intrínseco de s_{22} , que sigue apagada. En este punto se enciende dicha llave y la corriente pasa a circular por el canal, quedando completa la conmutación.

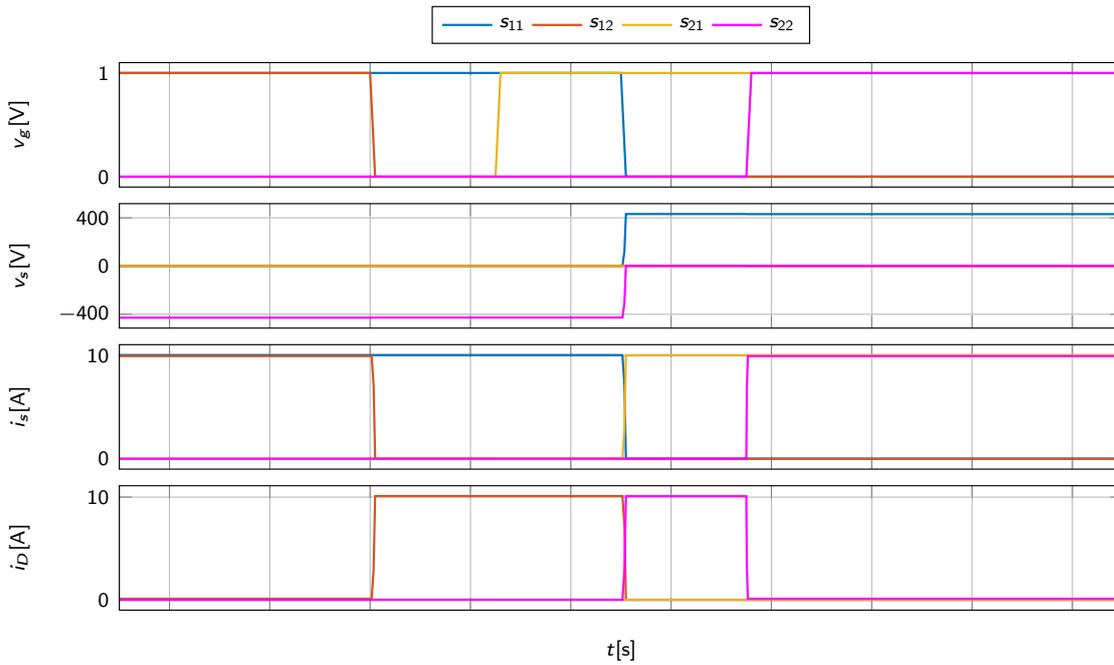


FIGURA 6.6: Tensiones y corrientes en cada transistor durante una conmutación ideal en una llave con topología antiserie. Señales de arriba a abajo: tensión de gate v_g , tensión drain-source en la llave v_s , corriente en el canal del transistor i_s , corriente en el diodo de body del transistor i_D .

6.3. Comparación de potencia disipada en llaves en un CSI

Los resultados de las simulaciones del inverter con distintas llaves se muestran en la [Figura 6.7](#). La leyenda de cada curva indica qué llave es (de acuerdo a la nomenclatura establecida en la [Tabla 5.2](#) y la [Tabla 5.1](#)). A su vez, se indica la potencia media total disipada en un período de senoidal.

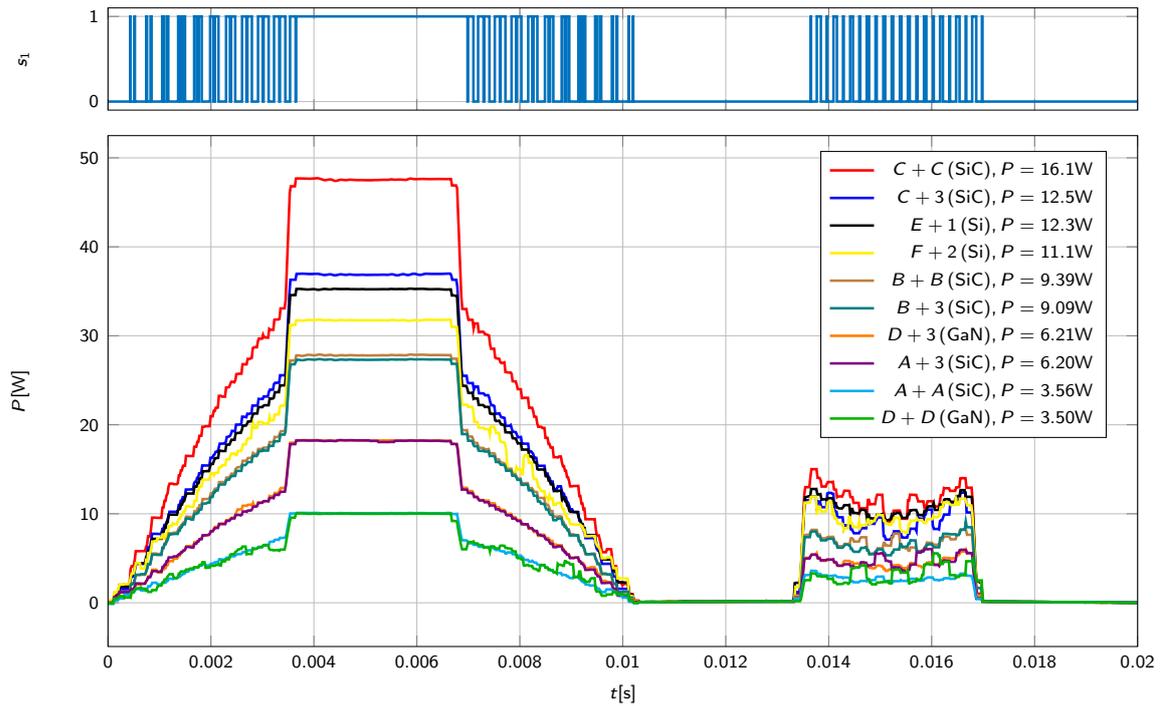
En la [Figura 6.7](#) se observa a simple vista que una porción significativa de la potencia disipada en un período proviene de pérdidas de conducción, ya que la sección constante (alrededor de los 0.005s) representa una gran parte del área bajo la curva. Para cuantificar qué proporción de las pérdidas totales corresponden a pérdidas de conducción basta observar que cada llave está encendida un tercio del tiempo (porque siempre una y solo una de las llaves s_{1-3} y de s_{4-6} debe estar encendida al mismo tiempo). Por lo tanto:

$$P_{cond} = \frac{p_{cond}}{3}, \quad (6.1)$$

donde P_{cond} representa la totalidad de la potencia disipada por conducción en un período, y p_{cond} las pérdidas por conducción instantáneas. Este último valor se obtuvo como el promedio de la potencia durante la parte del período en que la llave está prendida por más tiempo consecutivo.

Por lo tanto, como la potencia media total proviene o bien de pérdidas en conducción, o bien de pérdidas en conmutación:

$$P_{med} = P_{cond} + P_{sw}, \quad (6.2)$$

FIGURA 6.7: Media móvil de la potencia disipada en s_1 para cada llave

sabiendo P_{cond} y P_{med} , se pueden calcular P_{cond} y P_{sw} .

Los resultados de este análisis de los datos se muestran en la [Tabla 6.1](#).

Llaves	P_{cond} [W]	P_{sw} [W]	P_{med} [W]
A+3	6.05	0.15	6.20
B+3	9.09	0.11	9.20
C+3	12.30	0.20	12.50
D+3	6.07	0.14	6.21
E+1	11.70	0.60	12.30
F+2	10.60	0.50	11.10
A+A	3.31	0.25	3.56
B+B	9.26	0.13	9.39
C+C	15.80	0.30	16.10
D+D	3.35	0.15	3.50

TABLA 6.1: Potencia disipada para cada llave

Se observa que en todos los casos analizados, la potencia disipada por conducción representa entre el 93 % y el 99 % de las pérdidas totales.

Capítulo 7

Discusión

7.1. Pérdidas por conducción en las llaves de un CSI

Como se mencionó en la [Sección 6.3](#), las pérdidas por conducción representan entre el 93 % y el 99 % de las pérdidas totales promedio en un período en todos los casos analizados. Si este resultado se generaliza, es posible entonces obtener una primera aproximación de las pérdidas que sufrirá una llave en particular calculando las pérdidas por conducción, lo cual representa un cálculo trivial - basta sumar las pérdidas de cada componente de la llave cuando la corriente es igual a i_{csi} .

Para un transistor, las pérdidas por conducción dependerán de su resistencia de canal, r_{ds} , ya que en este caso se comporta como una resistencia con este valor, y por lo tanto las pérdidas son $r_{ds} \cdot i_{csi}^2$. Para un diodo, en cambio, la tensión no depende de la corriente, sino que tiene el valor fijo V_{fwd} , con lo cual las pérdidas son $V_{fwd} \cdot i_{csi}$.

Por lo tanto, para una llave dada basta consultar el valor de r_{ds} del transistor utilizado, y la V_{fwd} del diodo si lo hubiere, y pueden obtenerse una primera aproximación del valor de las pérdidas totales a través de la aproximación:

$$P_{med} \simeq P_{cond} = \frac{P_{cond}}{3} \quad (7.1)$$

Por lo tanto, para llaves de topología transistor con diodo en serie las pérdidas pueden calcularse como

$$P_{med} \simeq P_{cond} = \frac{1}{3} (r_{ds} \cdot i_{csi}^2 + V_{fwd} \cdot i_{csi}), \quad (7.2)$$

y para llaves que consisten en dos transistores en antiserie,

$$P_{med} \simeq P_{cond} = \frac{2}{3} r_{ds} \cdot i_{csi}^2. \quad (7.3)$$

Si bien al aplicar esta fórmula a las llaves estudiadas, se obtiene una diferencia de hasta un 20 % con los resultados obtenidos, si se utilizase este resultado para ordenar las llaves de menores a mayores pérdidas promedio, el orden sería prácticamente idéntico al que surge de los resultados de las simulaciones. Sólo se invierten la primera y segunda llaves más eficientes, que difieren en menos de un 1 % entre sí en la simulación. Si bien es cierto que el valor obtenido no es particularmente preciso, es ventajoso poder tener esta primera aproximación a partir de dos valores de las hojas de

datos y una cuenta trivial.

A su vez, esto permite determinar fácilmente con qué topología se obtendrán menores pérdidas, dado un transistor, un diodo y una corriente de entrada dadas. Las pérdidas serán menores en topología antiserie en el caso de que se cumpla la condición:

$$\frac{2}{3} r_{ds} \cdot i_{csi}^2 < \frac{1}{3} (r_{ds} \cdot i_{csi}^2 + V_{fwd} \cdot i_{csi}) \Leftrightarrow r_{ds} \cdot i_{csi} < V_{fwd} \quad (7.4)$$

En efecto, si se utiliza un diodo con tensión forward V_{fwd} para un CSI con corriente de entrada i_{csi} , existe un valor límite de resistencia de canal $r_{ds\ lim}$, tal que si la resistencia serie de un transistor dado cumple que $r_{ds} < r_{ds\ lim}$, las pérdidas de una llave con topología antiserie serán menores que con topología serie:

$$r_{ds\ lim} = \frac{V_{fwd}}{i_{csi}}. \quad (7.5)$$

Este resultado es consistente con los resultados obtenidos en la [Sección 6.3](#). En las combinaciones analizadas, el diodo SiC utilizado tiene una V_{fwd} de aproximadamente 1.6V, y por lo tanto con la corriente de 10A utilizada se obtendrán menores pérdidas con dos transistores en antiserie si su r_{ds} es menor a 160m Ω . Esto es consistente con los resultados obtenidos: los transistores A y D, con 43m Ω y 50m Ω de resistencia de canal respectivamente, resultan en menores pérdidas en topología antiserie, mientras que lo contrario ocurre con B y C, con r_{ds} de 190m Ω y 270m Ω , respectivamente.

7.2. Método de comparación de llaves

En la [Sección 6.3](#) se obtuvieron valores de potencia media disipada durante un período de frecuencia de línea, a través de las simulaciones descritas en la [Sección 5.2](#). Esto permite comparar las llaves en cuanto a eficiencia energética, pero es necesario tener en cuenta otros factores para poder hacer una comparación entre los dispositivos.

Con este objetivo, se realizó el gráfico que se observa en la [Figura 7.1](#). En el mismo se observa la potencia media para cada llave en función del precio de sus componentes. Adicionalmente, se indica el material de los componentes de cada llave con el color del punto a modo informativo.

Este gráfico, sin embargo, no proporciona suficiente información para explicar los resultados obtenidos. Por ejemplo, no se explica por qué las llaves con el transistor "A" son tanto más costosas de las demás, en particular más de 3 veces más caras que las que usan el transistor "D", con la cual se obtienen resultados en potencia prácticamente equivalentes.

Existen dos factores en particular que explican una gran parte de los resultados: la corriente máxima y tensión máxima que cada dispositivo puede manejar. Al crecer estos factores, el costo de los componentes crece para productos de prestaciones similares. Dependiendo de la aplicación, este incremento en el costo se podrá ver justificado o no. Por ejemplo, para la aplicación estudiada los 600V del transistor "E" no resultan suficientes, pero es probable que el precio del "A" para tener 1200V y 90A no sea razonable.

Se propone entonces agregar al análisis un factor que combine V_{max} e I_{max} , que se denominará

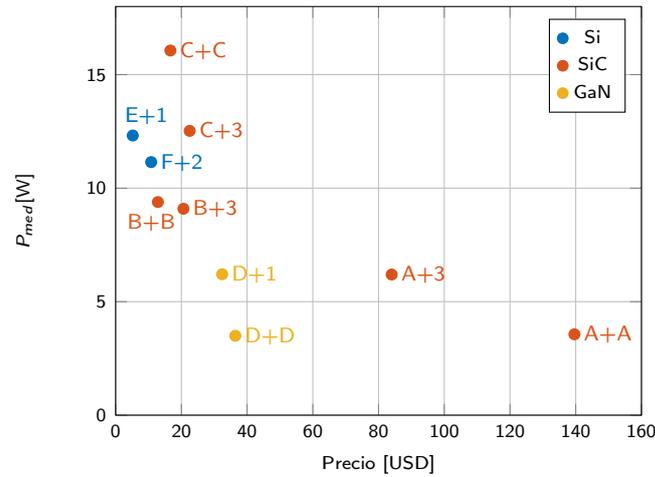


FIGURA 7.1: Relación entre precio de la llave y potencia media disipada en un período de frecuencia de línea

índice de potencia K_p :

$$K_p[\text{W}] = V_{max} \cdot I_{max} \quad (7.6)$$

Los valores de K_p para los componentes utilizados en este trabajo se encuentran en la [Tabla 7.1](#) para los transistores, y en la [Tabla 7.2](#) para los diodos. K_p se expresa en unidades de kW por conveniencia para los valores obtenidos en este caso, que en todos casos superan el kilowatt.

Identificador	V_{max} [V]	I_{max} [A]	K_p [kW]
A	1200	90	108
B	900	23	20.7
C	1200	19	22.8
D	900	34	30.6
E	600	40	24
F	900	28	25.2

TABLA 7.1: Índice de potencia K_p de los transistores analizados

Identificador	V_{max} [V]	I_{max} [A]	K_p [kW]
1	600	15	9
2	1200	60	72
3	1200	20	24

TABLA 7.2: Índice de potencia K_p para los diodos analizados

Para incluir este nuevo factor en la comparación entre las llaves de manera rápida e intuitiva, se propone que el tamaño del punto en la [Figura 7.1](#) sea proporcional al K_p de los componentes utilizados. Obteniendo $K_{p\ total}$ como la suma de los componentes que componen la llave, se obtiene el gráfico que se muestra en la [Figura 7.2](#).

Sin embargo, esta nueva dimensión no explica perfectamente la totalidad de los resultados

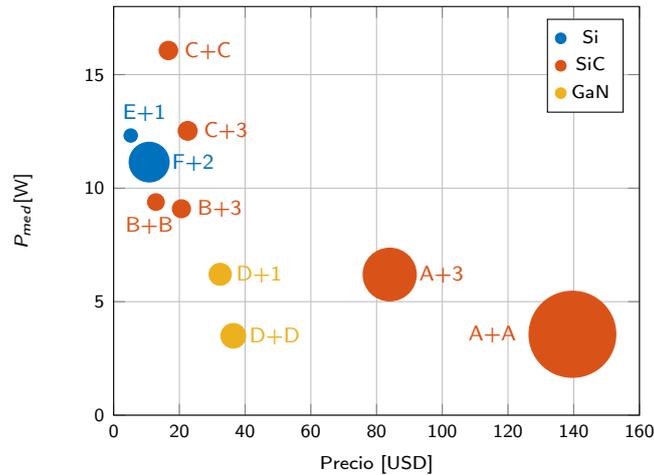


FIGURA 7.2: Relación entre precio de la llave y potencia media disipada en un período de frecuencia de línea, incluyendo el índice de potencia K_p (tamaño del punto) de cada llave

obtenidos. En particular, se observa que con el transistor “C” se obtienen pérdidas mayores a un mayor precio que utilizando el transistor “F”, a pesar de tener una menor capacidad de potencia. Una posible explicación de este resultado es la madurez de la tecnología subyacente: el transistor “F” y el diodo “2” son de silicio, mientras que el transistor “C” y la llave “3” es de carburo de silicio. Otra explicación que puede obtenerse a partir de los resultados es que el transistor “C” tiene características de switching considerablemente favorables comparadas con las de “F”, habiéndose observado que las pérdidas por conmutación del primero (0.2W) representan meramente el 40 % de las del segundo (0.5W). Sin embargo, como ya se ha discutido, estas pérdidas representan menos del 10 % de las pérdidas totales en las llaves, y por lo tanto esta ventaja del componente no tiene tanto peso para su uso un CSI.

Sin embargo, si bien el superior desempeño en frecuencia de los dispositivos *wide-bandgap* no tiene un gran impacto en los resultados, se logran reducir las pérdidas hasta una tercera parte utilizando dispositivos de GaN y SiC. Las ventajas en reducción de resistencia de canal hacen que las pérdidas por conducción se reduzcan considerablemente, si bien a un costo superior.

Un problema similar al observado al comparar los distintos materiales sucede con la topología antiserie: dado que las pérdidas por switching resultaron ser una proporción pequeña de las totales, sólo se observan ventajas respecto de la topología diodo serie cuando la resistencia del canal del transistor es suficientemente pequeña como para tener menor pérdidas que el diodo serie en conducción. De hecho, puede observarse que las pérdidas por switching se redujeron a al menos un 50 % en todos los casos estudiados como alternativas al silicio y topología serie, pero esta reducción no se traduce en diferencias significativas en las pérdidas totales.

Capítulo 8

Conclusiones

El presente trabajo tuvo inicialmente el objetivo de comparar distintas topologías y tecnologías para llaves de un convertidor fuente de corriente a través de simulaciones, determinar cuál de las llaves se ajustaba mejor a los requerimientos establecidos, construirla, y realizar mediciones en un inverter físico para comparar con los resultados de las simulaciones. Sin embargo, en la etapa de simulaciones surgieron numerosas complicaciones no previstas que resultaron en la necesidad de reducir el alcance del proyecto, limitándolo a la etapa de simulaciones.

En primer lugar, la dificultad de conseguir que el circuito converja para distintas llaves no es menor. Esto se debe a que si el comportamiento de los componentes pasivos es demasiado cercano al ideal, las derivadas de tensión y corriente introducidas por las conmutaciones resultan en picos de tensión y corriente excesivos, que no sólo resultarían en consecuencias destructivas al llevarlo a un circuito real, sino que están en conflicto con el rango de valores en el cual los modelos de transistor y diodo provistos por los fabricantes funcionan correctamente. Esto se ve exacerbado por la lentitud de las simulaciones, que pueden tardar hasta 8 horas en completarse, lo cual implica esperar un tiempo considerable para poder determinar si los parámetros están suficientemente bien elegidos como para lograr convergencia. En conjunto con la cantidad de parámetros que hay que elegir simultáneamente (inductancia de las pistas, resistencia de las pistas, resistencia y capacidad paralela de las llaves, resistencia y capacidad de los circuitos de disparo, tiempos de subida de las señales de control, resistencia entre el neutro de la carga y el de la fuente, etcétera), esto implica un trabajo lento y exhaustivo para lograr obtener resultados significativos, que además sean comparables entre todas las simulaciones.

Por otro lado, fue necesario proponer un nuevo método de conmutación para la topología antiserie que garantizara el bloqueo de corriente inversa en ambas llaves durante la conmutación. Esto se realizó a través de un segundo conjunto de simulaciones, con un modelo simplificado del convertidor en el estado en que se encuentra al realizar una conmutación. Al llegar a un método que produjera los resultados deseados en esta segunda simulación, se volvió al circuito completo, donde se debieron hacer algunos ajustes para acomodar la necesidad de separar las señales de control de cada llave en dos.

Una vez obtenidos los resultados de las simulaciones, los resultados no fueron perfectamente consistentes con las hipótesis iniciales: la mayor parte de las pérdidas, entre el 93% y el 99% de las totales para todas las llaves probadas, fueron por conducción, y no por switching como se había supuesto. Esto implica que las pérdidas se ven en gran parte determinadas por la resistencia de

canal de los transistores y la tensión directa de los diodos.

Las ventajas de respuesta en frecuencia de los materiales *wide-bandgap* no tiene un gran impacto en la eficiencia de la llave, y en cambio los dispositivos de este material resultados en mejor performance sólo cuando la resistencia de canal era menor que la de los dispositivos de silicio. Cabe destacar que el límite teórico de la resistencia del SiC y el GaN son órdenes de magnitud menores que la del Si para un mismo valor de tensión máxima soportada, con lo cual estos materiales siguen presentando ventajas para esta aplicación. De hecho, se lograron reducir las pérdidas a una tercera parte utilizando dispositivos basados en GaN comparado a los resultados obtenidos con Si, aunque el precio se vio a su vez triplicado. En otro caso, por un costo un 20 % mayor que la llave de silicio, una de SiC obtuvo pérdidas un 15 % menores. Sin embargo, no se puede a partir de los resultados obtenidos en este trabajo afirmar que hay un ganador claro en cuanto a materiales para esta aplicación, debido en parte a la madurez de la tecnología del silicio, y el poco impacto que tiene el comportamiento en frecuencia de los otros materiales.

En cuanto a la topología, dado que la mayor parte de las pérdidas se producen por conducción, se puede calcular un valor límite $r_{ds\ lim}$ hasta el cual una llave con un transistor en antiserie será más eficiente que una con un diodo en serie, dada una tensión directa del diodo y una corriente de entrada dadas. Este valor límite es inversamente proporcional a la corriente de entrada, ya que las pérdidas crecen con el cuadrado de la corriente en el transistor, pero linealmente en el diodo. Por lo tanto, con corrientes más altas es más probable que resulte más viable utilizar un diodo en serie. Sin embargo, se debe recordar que r_{ds} no tiene un límite teórico tan claro como el impuesto por la tensión directa del diodo, ya que teóricamente podría ponerse una cantidad arbitraria de transistores en paralelo, lo cual no tiene un equivalente con los diodos.

Bibliografía

- [1] P. Cossutta, *El Convertidor Multinivel Fuente de Corriente Modular y sus Aplicaciones*. PhD thesis, Instituto Tecnológico de Buenos Aires, 2019.
- [2] J. Palmour, J. Zhang, M. Das, R. Callanan, A. Agarwal, and D. Grider, "Sic power devices for smart grid systems," in *The 2010 International Power Electronics Conference-ECCE ASIA-*, pp. 1006–1013, IEEE, 2010.
- [3] J. A. Cooper and A. Agarwal, "Sic power-switching devices – the second electronics revolution?," *Proceedings of the IEEE*, vol. 90, no. 6, pp. 956–968, 2002.
- [4] K. Shenai, "Future prospects of widebandgap (wbg) semiconductor power switching devices," *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 248–257, 2015.
- [5] T. Kimoto, H. Niwa, N. Kaji, T. Kobayashi, Y. Zhao, S. Mori, and M. Aketa, "Progress and future challenges of sic power devices and process technology," in *2017 IEEE International Electron Devices Meeting (IEDM)*, pp. 9–5, IEEE, 2017.
- [6] M. Golio, *RF and microwave semiconductor device handbook*. CRC press, 2017.
- [7] S. Mori, M. Aketa, T. Sakaguchi, Y. Nanen, H. Asahara, T. Nakamura, and T. Kimoto, "High-temperature characteristics of 3-kv 4h-sic reverse blocking mosfet for high-performance bidirectional switch," *IEEE Transactions on Electron Devices*, vol. 64, no. 10, pp. 4167–4174, 2017.
- [8] M. Saadeh, M. S. Chinthavali, B. Ozpineci, and H. Mantooh, "Anti-series normally-on sic jfets operating as bidirectional switches," in *2013 IEEE Energy Conversion Congress and Exposition*, pp. 2892–2897, IEEE, 2013.
- [9] A. Tüysüz, R. Bosshard, and J. W. Kolar, "Performance comparison of a gan git and a si igbt for high-speed drive applications," in *2014 International Power Electronics Conference (IPEC-Hiroshima 2014-ECCE ASIA)*, pp. 1904–1911, IEEE, 2014.
- [10] N. Mohan, T. M. Undeland, and W. P. Robbins, *Power electronics: converters, applications, and design*. John wiley & sons, 2003.

-
- [11] S. Dimitrijević, J. Han, H. A. Moghadam, and A. Aminbeidokhti, "Power-switching applications beyond silicon: Status and future prospects of sic and gan devices," *MRS Bulletin*, vol. 40, no. 5, pp. 399–405, 2015.
- [12] W. Saito, I. Omura, T. Ogura, and H. Ohashi, "Theoretical limit estimation of lateral wide band-gap semiconductor power-switching device," *Solid-State Electronics*, vol. 48, no. 9, pp. 1555–1562, 2004.
- [13] D. Ji, Y. Yue, J. Gao, and S. Chowdhury, "Dynamic modeling and power loss analysis of high-frequency power switches based on gan cavet," *IEEE Transactions on Electron Devices*, vol. 63, no. 10, pp. 4011–4017, 2016.
- [14] K. Haehre, M. Meisser, F. Denk, and R. Kling, "Characterization and comparison of commercially available silicon carbide (sic) power switches," in *6th IET International Conference on Power Electronics, Machines and Drives (PEMD 2012)*, pp. 1–6, IET, 2012.
- [15] T. Kikkawa, T. Hosoda, K. Shono, K. Imanishi, Y. Asai, Y. Wu, L. Shen, K. Smith, D. Dunn, S. Chowdhury, *et al.*, "Commercialization and reliability of 600 v gan power switches," in *2015 IEEE International Reliability Physics Symposium*, pp. 6C–1, IEEE, 2015.
- [16] A. De, S. Roy, and S. Bhattacharya, "Comparative suitability evaluation of reverse-blocking igbts for current-source based converter," in *2014 International Power Electronics Conference (IPEC-Hiroshima 2014-ECCE ASIA)*, pp. 2562–2568, IEEE, 2014.

Apéndice A

Anexo: Software

A.1. Generación de señales de control

A.1.1. Llaves con diodo serie

Se desarrolló software en Matlab con el objetivo de parametrizar señales ideales de control ideales para el convertidor, de manera tal de poder configurar tiempos de rise y fall que no provocaran problemas de convergencia en el circuito. Dicho código se encuentra a continuación.

```
1 vt = 0.5; % v de threshold para entrada
2
3 t_sw = 1e-9; % trise y fall deseados
4
5 v_off = 0; % v on y off deseados
6 v_on = 1;
7
8 filename_in = 'signals/';
9 filename_out = 'signals/fast/';
10
11 for i=1:6
12     data_in = csvread([filename_in, num2str(i), '.csv']);
13     n = size(data_in, 1);
14
15     data_out = data_in(1,:);
16     last = (v_off-v_on) *(data_out(2) < vt) + v_on;
17
18     for j=2:n
19         new = (v_off-v_on) *(data_in(j,2) < vt) + v_on;
20
21         if new ~= last
22             data_out = [data_out ; ...
23                         [data_in(j-1,1), last] ; ...
24                         [data_in(j-1,1)+t_sw, new]];
```

```

25         last = new;
26     end
27 end
28
29 data_out = [data_out ; data_in(n,:)];
30
31 dlmwrite([filename_out, num2str(i), '.csv'], data_out, ...
32         'delimiter', ',', 'precision', 9);
33 end

```

A.1.2. Llaves con transistor antiserie

Se desarrolló código Python con el fin de convertir una señal de control diseñada para ser utilizada en llaves con un único transistor en dos señales que pueden controlar los dos transistores de una llave con topología antiserie, donde se conservan los instantes de transición pero se redefinen las demás características de la señal, a saber: tiempo de overlap, tiempo de rise y tiempo de fall.

Siendo la señal de entrada una señal discreta de control s_i , donde los puntos están equiespaciados de manera tal que $s_i = s(dt \cdot i)$, la siguiente función retorna las dos nuevas señales s_a y s_b con la parametrización definida en el código.

```

1  import numpy as np
2
3
4  T_RISE = 1e-9
5  T_FALL = 1e-9
6  T_OVERLAP_1 = 20e-9
7  T_OVERLAP_2 = 20e-9
8  T_OVERLAP_3 = 20e-9
9
10
11 def single_transistor_to_antiseriess_transistors(s, dt):
12     s = np.round(s) # ignore previous rise time
13
14     edges = np.diff(s) # 0 if s[i+1]==s[i]
15     edges = np.where(edges != 0.0)[0] # indexes where signal changes
16
17     new_t = np.zeros(shape=(2, 2 + 2 * len(edges)), dtype=float)
18     new_s = np.zeros(shape=new_t.shape[1], dtype=int)
19
20     curr = 1 if s[0] > 0 else 0
21
22     new_t[:, 0] = np.array((0, 0))

```

```

23     new_s[0] = curr
24
25     i = 1 # next index
26     for edge_ind in edges:
27         t = edge_ind * dt
28         if curr:
29             # falling edge: b falls first
30             ta = t + T_OVERLAP_1 + T_OVERLAP_2
31             tb = t
32
33         else:
34             # rising edge: a rises first
35             ta = t + T_OVERLAP_1
36             tb = t + T_OVERLAP_1 + T_OVERLAP_2 + T_OVERLAP_3
37
38         times = np.array((ta, tb))
39         new_t[:, i] = times # save end of old state
40         new_s[i] = curr
41
42         i += 1
43         curr ^= 1 # save beginning of new state
44
45         t_sw = T_RISE if curr else T_FALL
46         new_t[:, i] = times + np.array((t_sw, t_sw))
47         new_s[i] = curr
48         i += 1
49
50     new_t[:, -1] = (len(s) - 1) * dt
51     new_s[-1] = curr
52     return new_t, new_s
53

```

A.2. Procesamiento de datos

A.2.1. Cálculo de potencia media y potencia de conducción

Para obtener el valor de la potencia media durante un período de frecuencia de línea para una llave, así como la mejor estimación posible de la potencia instantánea de conducción, basta definir la función:

```

1 def get_avg(t, x):
2     t = np.array(t)

```

```
3     return np.trapz(x=t, y=x) / (t[len(t)-1]-t[0])
```

Esta función `get_avg(t,x)` permite calcular el promedio en el tiempo de una señal x muestreada en los tiempos t (donde tanto x como t son arreglos unidimensionales, donde $x_i = x(t_i)$), realizando una integración a través de una aproximación trapezoidal.

Una vez definida esta función, basta evaluarla con la potencia instantánea en función del tiempo en una de las llaves, limitadas en el tiempo de manera apropiada. Para la potencia media, se utiliza un período completo de la frecuencia de línea, mientras que para la potencia de conducción instantánea se utiliza el tiempo en el que la señal de control se mantiene en 1 por el mayor tiempo consecutivo posible.

A.2.2. Cálculo de media móvil

Para calcular la media móvil, en primer lugar se debió resamplear la señal para obtener muestras equiespaciadas interpolando a partir de los valores obtenidos. Si bien esto puede reducir la precisión de los resultados, se consideró un error aceptable porque los mismos sólo serán utilizados para tener una rápida inspección visual de los resultados, y no para hacer comparaciones cuantitativas.

El código de Python que se muestra a continuación se encarga de este resampleo, asumiendo que en `self.df` se encuentra una base de datos con los datos de tensión y corriente a lo largo del tiempo para una señal dada.

```
1 def resample(self, t0):
2     # keep only t > t0, make t[0]=0, and if possible make tf an int n of periods
3     self.df = self.df[self.df['time'] >= t0]
4     self.df['time'] -= t0
5
6     if self.n_periods == 0:
7         self.n_periods = math.floor(self.df['time'].iloc[-1]*f0)
8
9     if self.n_periods > 0:
10        self.df = self.df[self.df['time'] <= self.n_periods/f0]
11
12    # resample signals
13    self.tf = self.df['time'].iloc[-1]
14    self.dt = self.tf / len(self.df)
15    t_unif = np.linspace(self.df.time.iloc[0], self.tf, len(self.df))
16
17    for col in self.signal_cols:
18        interpolation = interp.interp1d(self.df.time, self.df[col])
19        self.df[col] = np.roll(a=interpolation(t_unif))
20
21    # save results
```

```
22     self.df['time'] = t_unif
23     self.df.reset_index(drop=True, inplace=True)
```

Una vez que las señales de tensión y corriente están sampleadas a una frecuencia constante, se puede calcular la media móvil con el código a continuación.

```
1  win_size = int(round(1 / (mf * f0) / self.dt))
2  mov_avg_p, p, v, i = (s+ind for s in 'mov_avg_p p v i'.split())
3  if p not in self.signal_cols:
4      # if power signal is not available, compute it as v*i
5      self.df[p] = (self.df[v] * self.df[i]).abs()
6      self.signal_cols.append(p)
7
8  # add columns with last values to data frame start to make rolling mean
9  # valid for last values (signal is periodic)
10 ma = pd.concat((self.df[p][-win_size:], self.df[p]), ignore_index=True)
11
12 # calculate moving average and discard extra columns generated previously
13 ma = ma.rolling(win_size, min_periods=1).mean()[win_size:].to_numpy()
14
15 # save result
16 self.df[mov_avg_p] = ma
17 self.signal_cols.append(mov_avg_p)
```